

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

013839618 \*\*Image available\*\*

WPI Acc No: 2001-323831/200134

XRPX Acc No: N01-233398

Thin film transistor production method for use in electro-optical apparatus, involves removing particles of preset dimension from crystalline semiconductor to which hydrogen is then supplied

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: KASAHARA K; KAWASAKI R; YAMAZAKI S

Number of Countries: 002 Number of Patents: 003

Patent Family:

| Patent No      | Kind | Date     | Applicat No   | Kind | Date     | Week     |
|----------------|------|----------|---------------|------|----------|----------|
| JP 2001085703  | A    | 20010330 | JP 2000205764 | A    | 20000706 | 200134 B |
| US 6426245     | B1   | 20020730 | US 2000612100 | A    | 20000707 | 200254   |
| US 20020146874 | A1   | 20021010 | US 2000612100 | A    | 20000707 | 200269   |
|                |      |          | US 2002124489 | A    | 20020418 |          |

Priority Applications (No Type Date): JP 99196790 A 19990709

Patent Details:

| Patent No      | Kind | Lan | Pg | Main IPC     | Filing Notes   |
|----------------|------|-----|----|--------------|--|
| JP 2001085703  | A    |     | 28 | H01L-029/786 |  |
| US 6426245     | B1   |     |    | H01L-021/00  |  |
| US 20020146874 | A1   |     |    | H01L-021/00  | Div ex application US 2000612100<br>Div ex patent US 6426245 |

Abstract (Basic): JP 2001085703 A

NOVELTY - A laser light is irradiated on substrate (1001) to form background film (1002), amorphous and crystalline semiconductor layers sequentially. The particles of dimension 1  $\mu\text{m}$  or more are removed from crystalline semiconductor layer and impurity area is formed on crystalline semiconductor layer to which hydrogen is then supplied.

USE - For producing thin film transistor used in active matrix liquid crystal display of electro-optical apparatus.

ADVANTAGE - By optimizing structure of TFT, operation and reliability of semiconductor device is improved.

DESCRIPTION OF DRAWING(S) - The figure shows the concept of laser annealing method.

Substrate (1001)

Background film (1002)

pp; 28 DwgNo 1/27

Title Terms: THIN; FILM; TRANSISTOR; PRODUCE; METHOD; ELECTRO; OPTICAL;  
APPARATUS; REMOVE; PARTICLE; PRESET; DIMENSION; CRYSTAL; SEMICONDUCTOR;  
HYDROGEN; SUPPLY

Derwent Class: P81; P85; U11; U12; U14

International Patent Class (Main): H01L-021/00; H01L-029/786

International Patent Class (Additional): G02F-001/1368; G09F-009/30;  
H01L-021/20; H01L-021/268; H01L-021/336

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06858201 \*\*Image available\*\*

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

PUB. NO.: 2001-085703 [JP 2001085703 A]

PUBLISHED: March 30, 2001 (20010330)

INVENTOR(s): KAWASAKI RITSUKO

KASAHARA KENJI

YAMAZAKI SHUNPEI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2000-205764 [JP 2000205764]

FILED: July 06, 2000 (20000706)

PRIORITY: 11-196790 [JP 99196790], JP (Japan), July 09, 1999 (19990709)

INTL CLASS: H01L-029/786; H01L-021/336; G02F-001/1368; G09F-009/30;

H01L-021/20; H01L-021/268

#### ABSTRACT

PROBLEM TO BE SOLVED: To form a semiconductor region formed into an island-shaped pattern as a region of single crystal or a region capable of being regarded as single crystal, and at the same time, realize a laminated structure capable of stabilizing various characteristics of a TFT.

SOLUTION: An insulating film 1002 is formed on a glass substrate 1001, and an island-shaped semiconductor layer 1003 is formed on the insulating film. By using an optical system, a laser light which passes a cylindrical lens 1005 is irradiated as a line-type laser light on the island-shaped semiconductor layer 1003. On the layer 1003, the following laser light components are irradiated: a direct reaching laser light component 1006 which passes through the cylindrical lens 1005 and is irradiated directly on the layer 1003, and a diffusion laser light component 1007 which penetrates the insulating film 1002 and the substrate 1001, is reflected by a reflecting plate 1004, penetrates the substrate 1001 and the insulating film 1002 again and is irradiated on the layer 1003.

COPYRIGHT: (C) 2001, JPO

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-85703

(P 2 0 0 1 - 8 5 7 0 3 A)

(43) 公開日 平成13年 3 月30日 (2001. 3. 30)

| (51) Int. Cl. <sup>7</sup> | 識別記号 | F I        | テ-マコード | (参考) |
|----------------------------|------|------------|--------|------|
| H01L 29/786                |      | H01L 29/78 | 627    | G    |
| 21/336                     |      | G09F 9/30  | 338    |      |
| G02F 1/1368                |      | H01L 21/20 |        |      |
| G09F 9/30                  | 338  | 21/268     | J      |      |
| H01L 21/20                 |      |            | G      |      |

審査請求 未請求 請求項の数10 O L (全28頁) 最終頁に続く

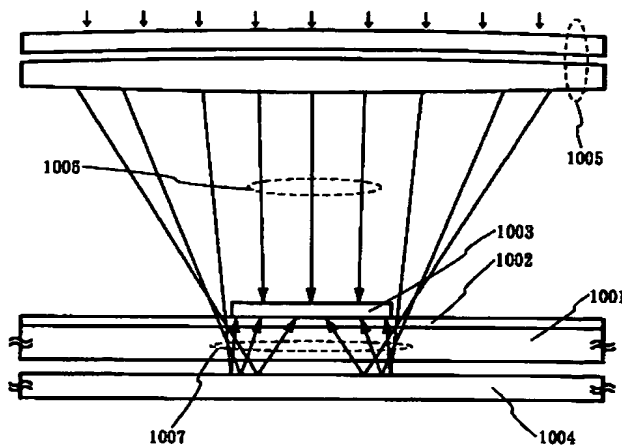
|              |                               |          |  |
|--------------|-------------------------------|----------|--|
| (21) 出願番号    | 特願2000-205764 (P 2000-205764) | (71) 出願人 | 000153878<br>株式会社半導体エネルギー研究所<br>神奈川県厚木市長谷398番地 |
| (22) 出願日     | 平成12年 7 月 6 日 (2000. 7. 6)    | (72) 発明者 | 河崎 律子<br>神奈川県厚木市長谷398番地 株式会社半<br>導体エネルギー研究所内   |
| (31) 優先権主張番号 | 特願平11-196790                  | (72) 発明者 | 笠原 健司<br>神奈川県厚木市長谷398番地 株式会社半<br>導体エネルギー研究所内   |
| (32) 優先日     | 平成11年 7 月 9 日 (1999. 7. 9)    | (72) 発明者 | 山崎 舜平<br>神奈川県厚木市長谷398番地 株式会社半<br>導体エネルギー研究所内   |
| (33) 優先権主張国  | 日本 (J P)                      |          |  |

(54) 【発明の名称】 半導体装置の作製方法

(57) 【要約】

【課題】 島状のパターンに形成された半導体領域を、単結晶または単結晶と見なせる領域として形成すると共に、T F Tの諸特性を安定化させることのできる積層構造を同時に実現させることを目的とする。

【解決手段】 ガラス基板1001上に絶縁膜1002が形成され、その上に島状半導体層1003が形成される。光学系1100により、シリンドリカルレンズ1005を通過したレーザー光は線状レーザー光として島状半導体層1003に照射される。島状半導体層1003には、シリンドリカルレンズ1005を通過して直接島状半導体層1003に照射する直達レーザー光成分1006と、絶縁膜1002と基板1001を透過して反射板1004で反射して再度基板1001と絶縁膜1002を透過して島状半導体層1003へ照射される拡散レーザー光成分1007がある。



## 【特許請求の範囲】

【請求項 1】基板に密接して下地膜を形成する第 1 の工程と、前記下地膜上に、該下地膜に接する第 1 の表面と、その反対側に第 2 の表面を有する第 1 形状の非晶質半導体層を形成する第 2 の工程と、前記第 1 形状の非晶質半導体層の第 2 の表面に第 1 のレーザー光を照射して、かつ、前記第 1 形状の非晶質半導体層の周辺の領域より入射して、前記基板を透過して反射板にて反射した第 2 のレーザー光を前記第 1 の表面から照射して、第 1 形状の結晶質半導体層を形成する第 3 の工程と、前記第 1 形状の結晶質半導体層のゲート電極と重なる領域、若しくはチャネル形成領域を形成する領域において、該第 1 形状の結晶質半導体層の端部から  $1\mu\text{m}$  以上除去して、第 2 形状の結晶質半導体層を形成する第 4 の工程と、前記第 2 形状の結晶質半導体層に、一導電型の不純物領域を形成する第 5 の工程と、前記第 2 形状の結晶質半導体層に、水素を添加する第 6 の工程とを有することを特徴とする半導体装置の作製方法。

【請求項 2】基板に密接して下地膜を形成する第 1 の工程と、前記下地膜上に、該下地膜に接する第 1 の表面と、その反対側に第 2 の表面を有する第 1 形状の非晶質半導体層を形成する第 2 の工程と、前記第 1 形状の非晶質半導体層に半導体の結晶化を助長する元素を導入する第 3 の工程と、前記第 1 形状の非晶質半導体層の第 2 の表面に第 1 のレーザー光を照射して、かつ、前記第 1 形状の非晶質半導体層の周辺の領域より入射して、前記基板を透過して反射板にて反射した第 2 のレーザー光を前記第 1 の表面から照射して、第 1 形状の結晶質半導体層を形成する第 4 の工程と、前記第 1 形状の結晶質半導体層のゲート電極と重なる領域、若しくはチャネル形成領域を形成する領域において、該第 1 形状の結晶質半導体層の端部から  $1\mu\text{m}$  以上除去して、第 2 形状の結晶質半導体層を形成する第 5 の工程と、前記第 2 形状の結晶質半導体層に、一導電型の不純物領域を形成する第 6 の工程と、前記第 2 形状の結晶質半導体層に、水素を添加する第 7 の工程とを有することを特徴とする半導体装置の作製方法。

【請求項 3】基板に密接して下地膜を形成する第 1 の工程と、前記下地膜上に非晶質半導体層を形成する第 2 の工程と、前記非晶質半導体層に該非晶質半導体の結晶化を助長する元素を導入し、加熱処理により結晶質半導体膜を形成する第 3 の工程と、前記下地膜上に、該下地膜に接する第 1 の表面と、その反対側に第 2 の表面を有する第 1 形状の結晶質半導体層を形成する第 4 の工程と、前記第 1 形状の結晶質半導体層の第 2 の表面に第 1 のレーザー光を照射して、かつ、前記第 1 形状の結晶質半導体層の周辺の領域より入射して、前記基板を透過して反射板にて反射した第 2 のレーザー光を前記第 1 の表面から照射する第 5 の工程と、前記第 1 形状の結晶質半導体層のゲート電極と重なる領域、若しくはチャネル形成領

域を形成する領域において、該第 1 形状の結晶質半導体層の端部から  $1\mu\text{m}$  以上除去して、第 2 形状の結晶質半導体層を形成する第 6 の工程と、前記第 2 形状の結晶質半導体層に、一導電型の不純物領域を形成する第 7 の工程と、前記第 2 形状の結晶質半導体層に、水素を添加する第 8 の工程とを有することを特徴とする半導体装置の作製方法。

【請求項 4】p チャネル型 T F T と n チャネル型 T F T とを同一の基板上に有する半導体装置の作製方法において、前記基板に密接して下地膜を形成する第 1 の工程と、前記下地膜上に、該下地膜に接する第 1 の表面と、その反対側に第 2 の表面を有する複数の第 1 形状の非晶質半導体層を形成する第 2 の工程と、前記第 1 形状の非晶質半導体層の第 2 の表面に第 1 のレーザー光を照射して、かつ、前記第 1 形状の非晶質半導体層の周辺の領域より入射して、前記基板を透過して反射板にて反射した第 2 のレーザー光を前記第 1 の表面から照射して、複数の第 1 形状の結晶質半導体層を形成する第 3 の工程と、前記第 1 形状の結晶質半導体層のゲート電極と重なる領域、若しくはチャネル形成領域を形成する領域において、該第 1 形状の結晶質半導体層の端部から  $1\mu\text{m}$  以上除去して、複数の第 2 形状の結晶質半導体層を複数個形成する第 4 の工程と、少なくとも、前記複数の第 2 形状の結晶質半導体層から選択された一つに、一導電型の不純物領域を形成する第 5 の工程と、少なくとも、前記複数の第 2 形状の結晶質半導体層から選択された他の一つに、一導電型とは逆の導電型の不純物領域を形成する第 6 の工程と、前記複数の第 2 形状の結晶質半導体層に、水素を添加する第 7 の工程とを有することを特徴とする半導体装置の作製方法。

【請求項 5】p チャネル型 T F T と n チャネル型 T F T とを同一の基板上に有する半導体装置の作製方法において、前記基板に密接して下地膜を形成する第 1 の工程と、前記下地膜上に、該下地膜に接する第 1 の表面と、その反対側に第 2 の表面を有する複数の第 1 形状の非晶質半導体層を形成する第 2 の工程と、前記第 1 形状の非晶質半導体層に半導体の結晶化を助長する元素を導入する第 3 の工程と、前記第 1 形状の非晶質半導体層の第 2 の表面に第 1 のレーザー光を照射して、かつ、前記第 1 形状の非晶質半導体層の周辺の領域より入射して、前記基板を透過して反射板にて反射した第 2 のレーザー光を前記第 1 の表面から照射して、複数の第 1 形状の結晶質半導体層を形成する第 4 の工程と、前記第 1 形状の結晶質半導体層のゲート電極と重なる領域、若しくはチャネル形成領域を形成する領域において、該第 1 形状の結晶質半導体層の端部から  $1\mu\text{m}$  以上除去して、複数の第 2 形状の結晶質半導体層を複数個形成する第 5 の工程と、少なくとも、前記複数の第 2 形状の結晶質半導体層から選択された一つに、一導電型の不純物領域を形成する第 6 の工程と、少なくとも、前記複数の第 2 形状の結晶質

10

20

30

40

50

半導体層から選択された他の一つに、一導電型とは逆の導電型の不純物領域を形成する第 7 の工程と、前記複数の第 2 形状の結晶質半導体層に、水素を添加する第 8 の工程とを有することを特徴とする半導体装置の作製方法。

【請求項 6】 p チャネル型 T F T と n チャネル型 T F T とを同一の基板上に有する半導体装置の作製方法において、基板に密接して下地膜を形成する第 1 の工程と、前記下地膜上に非晶質半導体層を形成する第 2 の工程と、前記非晶質半導体層に該非晶質半導体の結晶化を助長する元素を導入し、加熱処理により結晶質半導体膜を形成する第 3 の工程と、前記下地膜上に、該下地膜に接する第 1 の表面と、その反対側に第 2 の表面を有する複数の第 1 形状の結晶質半導体層を形成する第 4 の工程と、前記複数の第 1 形状の結晶質半導体層の第 2 の表面に第 1 のレーザー光を照射して、かつ、前記第 1 形状の結晶質半導体層の周辺の領域より入射して、前記基板を透過して反射板にて反射した第 2 のレーザー光を前記第 1 の表面から照射する第 5 の工程と、前記第 1 形状の結晶質半導体層のゲート電極と重なる領域、若しくはチャネル形成領域を形成する領域において、該第 1 形状の結晶質半導体層の端部から  $1 \mu\text{m}$  以上除去して、複数の第 2 形状の結晶質半導体層を形成する第 6 の工程と、少なくとも、前記複数の第 2 形状の結晶質半導体層から選択された一つに、一導電型の不純物領域を形成する第 7 の工程と、少なくとも、前記複数の第 2 形状の結晶質半導体層から選択された他の一つに、一導電型とは逆の導電型の不純物領域を形成する第 8 の工程と、前記第 2 形状の結晶質半導体層に、水素を添加する第 9 の工程とを有することを特徴とする半導体装置の作製方法。

【請求項 7】 請求項 1 乃至請求項 6 において、少なくとも前記チャネル形成領域には、 $5 \times 10^{14} \sim 5 \times 10^{15} \text{ atoms/cm}^3$  の水素が含まれていることを特徴とする半導体装置の作製方法。

【請求項 8】 請求項 2 または請求項 3 および請求項 5 または請求項 6 において、少なくとも前記高濃度 n 型不純物領域において、前記触媒元素が  $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  の濃度で含有していることを特徴とする半導体装置の作製方法。

【請求項 9】 請求項 1 乃至請求項 6 において、前記反射板の前記レーザー光に対する拡散反射率が、 $50 \sim 70\%$  であることを特徴とする半導体装置の作製方法。

【請求項 10】 請求項 1 乃至請求項 9 のいずれか一項において、前記半導体装置は、有機エレクトロルミネッセンス材料を用いた表示装置、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、ゴーグル型ディスプレイ、電子遊技機器、プロジェクターであることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、絶縁表面を有する基板上に形成する結晶構造を有する半導体膜の作製方法、並びに該半導体膜を活性層に用いた半導体装置の作製方法に関する。特に、結晶質半導体層で活性層を形成した薄膜トランジスタの作製方法に関する。尚、本明細書において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、薄膜トランジスタを用いて形成されるアクティブマトリクス型の液晶表示装置に代表される電気光学装置、およびそのような電気光学装置を搭載した電子機器は半導体装置の範疇とする。

【0002】

【従来の技術】 ガラスなどの透光性を有する絶縁基板上に非晶質半導体層を形成し、レーザーアニール法や熱アニール法などで結晶化させた結晶質半導体層を活性層とした薄膜トランジスタ (Thin Film Transistor: 以下、T F T と記す) が開発されている。絶縁基板には、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板が多くの場合用いられている。このようなガラス基板は石英基板と比べ耐熱性は劣るものの市販価格は安価であることから、大面積基板を容易に製造できる利点を有している。

【0003】 レーザーアニール法はガラス基板の温度をあまり上昇させず、非晶質半導体層にのみ高いエネルギーを与えて結晶化させることができる結晶化技術として知られている。特に、短波長の光を大出力が得られるエキシマレーザーはこの用途において最も適していると考えられている。エキシマレーザーを用いたレーザーアニール法は、レーザービームを被照射面においてスポット状や線状となるように光学系で加工し、その加工されたレーザー光で被照射面を走査すること (レーザー光の照射位置を被照射面に対して相対的に移動させる) により行う。例えば、線状レーザー光を用いたエキシマレーザーアニール法は、その長手方向と直角な方向だけの走査で被照射面全体をレーザーアニールすることも可能であり、生産性に優れることから T F T を用いる液晶表示装置の製造技術として主流となりつつある。その技術は一枚のガラス基板上に画素部を形成する画素 T F T と、画素部の周辺に設けられる駆動回路の T F T を形成したモノシリック型の液晶表示装置を可能とした。

【0004】 しかし、レーザーアニール法で作製される結晶質半導体層は複数の結晶粒が集合して形成され、その結晶粒の位置と大きさはランダムなものであった。ガラス基板上に作製される T F T は、素子分離のために、結晶質半導体層を島状のパターンに分離して形成している。その場合において、結晶粒の位置や大きさを指定して形成することはできなかった。結晶粒の界面 (結晶粒界) には、非晶質構造や結晶欠陥などに起因する再結合中心や捕獲中心や結晶粒界におけるポテンシャル準位の影響により、キャリアの電流輸送特性が低下させる原因

があった。しかし、結晶の性質がTFTの特性に重大な影響を及ぼすチャネル形成領域を、結晶粒界の影響を排除して単一の結晶粒で形成することは殆ど不可能であった。そのため結晶質シリコン膜を活性層とするTFTは、単結晶シリコン基板に作製されるMOSトランジスタの特性と同等なものは今日まで得られていない。

【0005】このような問題点を解決するために、結晶粒を大きく成長させる試みがなされている。例えば、「High-Mobility Poly-Si Thin-Film Transistors Fabricated by a Novel Excimer Laser Crystallization Method”, K. Shimizu, O. Sugiura and M. Matumura, IEEE Transactions on Electron Devices vol.40, No.1, pp112-117, 1993」には、基板上にSi/SiO<sub>2</sub>/Siの3層構造の膜を形成し、エキシマレーザー光をその膜側と基板側の両側から照射するデュアルビームレーザーアニール法についての報告がある。その方法によれば、ある所定のエネルギー強度でレーザー光を照射することにより結晶粒の大粒形成を図ることができることが示されている。

【0006】

【発明が解決しようとする課題】モノシリック型の液晶表示装置は、画像表示を行う画素部と駆動回路が同一の基板上に形成されている。画素部には画素TFTと保持容量が設けられおり、駆動回路にはCMOS回路を基本として形成されるシフトレジスタ回路、レベルシフト回路、バッファ回路、サンプリング回路などから構成されている。しかし、画素TFTと駆動回路のTFTとでは動作条件が同一でなく、従ってTFTに要求される特性は少なからず異なっている。例えば、画素TFTはスイッチ素子として機能するものであり、液晶に電圧を印加して駆動させるものである。液晶は交流で駆動させるので、フレーム反転駆動と呼ばれる方式が多く採用されている。この方式では消費電力を低く抑えるために、画素TFTに要求される特性はオフ電流値（TFTがオフ動作時に流れるドレイン電流）を十分低くすることである。一方、制御回路のバッファ回路は高い駆動電圧が印加されるため、高電圧が印加されても壊れないように耐圧を高めておく必要がある。また電流駆動能力を高めるために、オン電流値（TFTがオン動作時に流れるドレイン電流）を十分確保する必要がある。

【0007】また、TFTにおいて重要な特性パラメータであるしきい値電圧（以下、V<sub>th</sub>と記す）を所定の範囲内に制御するためには、チャネル形成領域の価電子制御の他に、活性層に密接して絶縁膜で形成する下地膜やゲート絶縁膜および層間絶縁膜の荷電欠陥密度を低減することや、その内部応力のバランスを考慮する必要がある。このような要求に対して、酸化シリコン膜や酸化窒化シリコン膜などのシリコンを構成元素として含む材料が適していた。

【0008】このように、モノシリック型の液晶表示装

置の性能向上を図るには、活性層を形成する結晶質半導体層の結晶粒の大粒形成によりTFTの性能を向上を図るのみでは不十分であり、活性層とその上方および下方に形成する下地膜やゲート絶縁膜および層間絶縁膜の諸特性をも考慮する必要がある。

【0009】本発明はこのような問題点を解決するための技術であり、島状のパターンに形成された半導体領域を、単結晶または単結晶と見なせる領域として形成すると共に、TFTの諸特性を安定化させることのできる積層構造を同時に実現させることを目的とする。さらに、同一の基板上に複数の機能回路が形成されるモノシリック型の液晶表示装置に代表される半導体装置において、その機能回路が要求する仕様に依じて適切な性能のTFTを配置することを可能とし、その動作特性や信頼性を大幅に向上させることを目的とする。

【0010】

【課題を解決するための手段】ガラスなどの基板上に形成した非晶質半導体層から結晶質半導体層を形成する方法にレーザーアニール法を用いる。本発明のレーザーアニール法は、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とし、光学系にて線状に形成されたレーザー光を、半導体層の下地膜と接する第1の表面と、その反対側の第2の表面の両方から照射する。

【0011】図3（A）はこのようなレーザーアニール装置の構成を示す図である。レーザーアニール装置は、レーザー発振器1201、光学系1100、基板を固定するステージ1202を有し、ステージ1202にはヒーター1203とヒーターコントローラー1204が付加されて、基板を100～450℃まで加熱することができる。ステージ1202上には反射板1205が設けられ、その上に基板1206を設置する。図3（A）のような構成のレーザーアニール装置の構成において、基板1206の保持方法を図3（B）を用いて説明する。ステージ1202に保持された基板1206は、反応室1213に設置されレーザー光が照射される。反応室内は図示されていない排気系またはガス系により減圧状態または不活性ガス雰囲気とすることができ、半導体膜を汚染させることなく100～450℃まで加熱することができる。ステージ1202はガイドレール1216に沿って反応室内を移動することができ、基板の全面に線状レーザー光を照射させることができる。レーザー光は基板1206の上面に設けられた図示されていない石英製の窓から入射する。また、図3（B）ではこの反応室1213にトランスファー室1210、中間室1211、ロード・アンロード室1212が接続し、仕切弁1217、1218で分離されている。ロード・アンロード室1212には複数の基板を保持することが可能なカセット1214が設置され、トランスファー室1210に設けられた搬送ロボット1215により基板が搬送さ

れる。基板1206は搬送中の基板を表す。このような構成とすることによりレーザーアニールを減圧下または不活性ガス雰囲気中で連続して処理することができる。

【0012】図2(A)、(B)は図3(A)で示したレーザーアニール装置の光学系構成を説明する図である。レーザー発振器1101にはエキシマレーザーやアルゴンレーザーなどを適用する。図2(A)は光学系1100を側面から見た図であり、レーザー発振器1101から出たレーザー光はシリンドリカルレンズアレイ1102により縦方向に分割される。この分割されたレーザー光はシリンドリカルレンズ1104により、一旦集光された後広がって、ミラー1107で反射され、その後、シリンドリカルレンズ1108により照射面1109で線状レーザー光となるようにする。これにより、線状レーザー光の幅方向のエネルギー分布の均一化を図ることができる。また、図2(B)は光学系1100を上から見た図であり、レーザー発振器1101から出たレーザー光はシリンドリカルレンズアレイ1102により横方向に分割される。その後、シリンドリカルレンズ1105により、レーザー光は照射面1109で一つに合成される。これにより、線状レーザー光の長手方向のエネルギー分布の均一化を図ることができる。

【0013】さらに、図1は本発明に関わるレーザーアニール法の概念を説明する図である。ガラスなどの基板1001上に絶縁膜1002が形成され、その上に島状半導体層1003が形成されている。絶縁膜1002は酸化シリコン膜や窒化シリコン膜、酸化窒化シリコン膜、およびアルミニウムを成分とする絶縁膜などを適用し、これらの膜単体が若しくは適宜組み合わせで用いられる。そして、図2(A)、(B)で説明した光学系1100により、シリンドリカルレンズ1108と同等の機能を有するシリンドリカルレンズ1105を通過したレーザー光は線状レーザー光として島状半導体層1003に照射される。島状半導体層1003には、シリンドリカルレンズ1105を通過して直接島状半導体層1003の第2の表面から照射する直達レーザー光成分1006と、絶縁膜1002と基板1001を透過して、反射板1004で反射して、再度基板1001と絶縁膜1002を透過して島状半導体層1003の第1の表面から照射される拡散レーザー光成分1007がある。いずれにしても、シリンドリカルレンズ1105を通過したレーザー光は、集光される過程で基板表面に対し、45〜90°の入射角を持つので、反射板1004で反射するレーザー光は、島状半導体層1003の内側の方向にも反射する。反射板1004はアルミニウムなどで反射表面を形成する。この反射表面を鏡面にしておくと、240〜320nmの波長範囲で約90%の正反射率が得られる。また、材質をアルミニウムとして、その表面に数100nmの微細な凹凸形状を形成しておくと、拡散反射率(積分反射率-正反射率)は50〜70%が得られる。

【0014】このようにして、レーザー光は基板1001の第2の表面と第1の表面から照射され、この基板1001上に形成された島状半導体層1003は両面からレーザーアニールされることになる。レーザーアニール法では、照射するレーザー光の条件を最適なものとするにより半導体膜を瞬時に加熱して熔融させ、結晶核の発生密度とその結晶核からの結晶成長を制御しようとしている。エキシマレーザーの発振パルス幅は数nsec〜数百nsec、例えば30nsecであるので、パルス発振周波数を30Hzとして照射すると、そのレーザー光が照射された領域の半導体層はパルスレーザー光により瞬時に加熱され、その加熱時間よりも遥かに長い時間冷却される。

【0015】基板上に形成された半導体層に対して、一方の面のみからのレーザー光の照射では、片側しか加熱されないで、加熱熔融と冷却固化のサイクルは急峻なものとなり、結晶核の発生密度を制御できたととしても十分な結晶成長は期待できない。しかし、半導体層の両方の面からレーザー光を照射するとこの加熱熔融と冷却固化のサイクルが緩やかなものとなり、冷却固化の過程で結晶成長に許容される時間が相対的に長くなることにより、十分な結晶成長を得ることができる。

【0016】エキシマレーザー光の波長では、レーザー光は半導体層の最表面のみ吸収されて熱に変換される。例えば、波長308nmのXeClエキシマレーザー光の場合、シリコン層の表面から20nmまでの領域で殆どが吸収され発熱する。その後、その領域から内側のシリコン層に熱伝導することで、シリコン層全体がアニールされる。つまり、レーザー光が照射されている間は、常にシリコン層の表面温度が他の領域と比較して高くなる。この事は、レーザーアニールにおける熱伝導シミュレーションから得られる結果から推測することができる。

【0017】ここで、表側からの片面からレーザー光を照射した場合と、表側と裏側の両面からレーザー光が照射された時において、シリコン層に吸収されて熱に変換されるエネルギーが同じ場合を仮定する。図26にシリコン層の深さ方向におけるレーザー光強度分布のシミュレーション結果を、片面照射と両面照射のそれぞれの場合について示す。両面照射の場合には、表側照射強度と裏側照射強度の比が3:1の場合を示している。図26に示すように、レーザー光が照射される温度上昇過程において、両面照射の場合、レーザー光を吸収して発熱する領域が、表面側と下地界面側の2つになる。つまり、発熱する領域を実効的に拡大することができる。このため、片面照射と比較してアブレーションが発生しにくくなる(エキシマレーザー光を半導体層に照射する場合、あるレーザーエネルギー密度以上でアブレーションが発生することが知られている)。つまり、両面照射では、半導体層にアブレーションを発生させることなく実効的に高いエネルギー密度で半導体層を加熱することができ



る。

【0018】本発明は、このようなレーザーアニール法（デュアルビームレーザーアニール法）を適用して、島状半導体層を単結晶または単結晶と見なせる領域を形成し、そのような島状半導体層をTFTの活性層に用いて、さらに各回路の機能に応じた構造を有するTFTを有する半導体装置を作製する。

【0019】従って、上記問題点を解決するために本発明の構成は、基板に密接して下地膜を形成する第1の工程と、前記下地膜上に、該下地膜に接する第1の表面と、その反対側に第2の表面を有する第1形状の非晶質半導体層を形成する第2の工程と、前記第1形状の非晶質半導体層の第2の表面に第1のレーザー光を照射して、かつ、前記第1形状の非晶質半導体層の周辺の領域より入射して、前記基板を透過して反射板にて反射した第2のレーザー光を前記第1の表面から照射して、第1形状の結晶質半導体層を形成する第3の工程と、前記第1形状の結晶質半導体層のゲート電極と重なる領域、若しくはチャネル形成領域を形成する領域において、該第1形状の結晶質半導体層の端部から1 $\mu$ m以上除去して、第2形状の結晶質半導体層を形成する第4の工程と、前記第2形状の結晶質半導体層に、一導電型の不純物領域を形成する第5の工程と、前記第2形状の結晶質半導体層に、水素を添加する第6の工程とを有することを特徴としている。

【0020】また、他の発明の構成は、基板に密接して下地膜を形成する第1の工程と、前記下地膜上に、該下地膜に接する第1の表面と、その反対側に第2の表面を有する第1形状の非晶質半導体層を形成する第2の工程と、前記第1形状の非晶質半導体層に半導体の結晶化を助長する元素を導入する第3の工程と、前記第1形状の非晶質半導体層の第2の表面に第1のレーザー光を照射して、かつ、前記第1形状の非晶質半導体層の周辺の領域より入射して、前記基板を透過して反射板にて反射した第2のレーザー光を前記第1の表面から照射して、第1形状の結晶質半導体層を形成する第4の工程と、前記第1形状の結晶質半導体層のゲート電極と重なる領域、若しくはチャネル形成領域を形成する領域において、該第1形状の結晶質半導体層の端部から1 $\mu$ m以上除去して、第2形状の結晶質半導体層を形成する第5の工程と、前記第2形状の結晶質半導体層に、一導電型の不純物領域を形成する第6の工程と、前記第2形状の結晶質半導体層に、水素を添加する第7の工程とを有することを特徴としている。

【0021】また、他の発明の構成は、基板に密接して下地膜を形成する第1の工程と、前記下地膜上に非晶質半導体層を形成する第2の工程と、前記非晶質半導体層に該非晶質半導体の結晶化を助長する元素を導入し、加熱処理により結晶質半導体膜を形成する第3の工程と、前記下地膜上に、該下地膜に接する第1の表面と、その

反対側に第2の表面を有する第1形状の結晶質半導体層を形成する第4の工程と、前記第1形状の結晶質半導体層の第2の表面に第1のレーザー光を照射して、かつ、前記第1形状の結晶質半導体層の周辺の領域より入射して、前記基板を透過して反射板にて反射した第2のレーザー光を前記第1の表面から照射する第5の工程と、前記第1形状の結晶質半導体層のゲート電極と重なる領域、若しくはチャネル形成領域を形成する領域において、該第1形状の結晶質半導体層の端部から1 $\mu$ m以上除去して、第2形状の結晶質半導体層を形成する第6の工程と、前記第2形状の結晶質半導体層に、一導電型の不純物領域を形成する第7の工程と、前記第2形状の結晶質半導体層に、水素を添加する第8の工程とを有することを特徴としている。

【0022】上記本発明の構成は、pチャネル型TFTとnチャネル型TFTとを同一の基板上に有する半導体装置の作製方法においても好適に適用できる。

【0023】

【発明の実施の形態】[実施形態1]本発明の実施形態を図4を用いて説明する。図4(A)において、基板401にはバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどの無アルカリガラス基板を用いる。例えば、コーニング社の#7059ガラスや#1737ガラスなどを好適に用いることができる。その他に、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10~20℃程度低い温度であらかじめ熱処理しておいても良い。基板401のTFTを形成する一主表面に密接させて、基板401からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜402を形成する。例えば、プラズマCVD法でSiH<sub>4</sub>、NH<sub>3</sub>、N<sub>2</sub>Oから作製される酸化窒化シリコン膜402aを10~200nm（好ましくは50~100nm）、同様にSiH<sub>4</sub>、N<sub>2</sub>Oから作製される酸化窒化水素化シリコン膜402bを50~200nm（好ましくは100~150nm）の厚さに積層形成する。

【0024】酸化窒化シリコン膜は従来型の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜402aは、SiH<sub>4</sub>を10SCCM、NH<sub>3</sub>を100SCCM、N<sub>2</sub>Oを20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。一方、酸化窒化水素化シリコン膜402bは、SiH<sub>4</sub>を5SCCM、N<sub>2</sub>Oを120SCCM、H<sub>2</sub>を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成

することもできる。このような下地膜は、内部応力が基板に対して引張応力を有するように形成しておく、しきい値電圧 ( $V_{th}$ ) を安定化させる上で望ましい。また、その内部応力は400~600℃の熱処理において変化しないことが望ましい。

【0025】このようにして作製した酸化窒化シリコン膜402aは、密度が $9.28 \times 10^{11}/\text{cm}^3$ であり、フッ化水素アンモニウム ( $\text{NH}_4\text{HF}_2$ ) を7.13%とフッ化アンモニウム ( $\text{NH}_4\text{F}$ ) を15.4%含む混合溶液 (ステラケミファ社製、商品名LAL500) の20℃におけるエッチング速度が約63nm/minと遅く、緻密で硬い膜である。このような膜を下地膜に用いると、この上に形成する半導体層にガラス基板からのアルカリ金属元素が拡散するのを防ぐのに有効である。

【0026】次に、25~80nm (好ましくは30~60nm) の厚さで非晶質構造を有する非晶質半導体層403を、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体層403とは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜402aと酸化窒化水素化シリコン膜402bをプラズマCVD法で連続して成膜後、反応ガスを $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$  から $\text{SiH}_4$ と $\text{H}_2$ 、或いは $\text{SiH}_4$ のみに切り替えれば、一旦大気雰囲気へ曝すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜402bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

【0027】そして、図4(B)に示すように非晶質半導体半導体層403から、第1の形状を有する島状半導体層404を形成する。第1の形状は、正方形、長方形、または任意の多角形とすることができるが、中心部から端部までの距離が50 $\mu\text{m}$ 以下の領域を有するようにする。これは、レーザーアニールの工程において、レーザー光を島状半導体層403の周辺の領域から基板へ入射させ、基板の下側に置いた反射板で反射したレーザー光を再び島状半導体層403の第1の表面に入射させて、結晶化を有効に行わせる目的において限定される値である。一辺がこの値以上であると、島状半導体層403の内側まで前記反射したレーザー光が入射しなくなり、結晶化が良好に行われなくなる。

【0028】次に、結晶化を図4(C)に示すように、レーザーアニール法により行う。結晶化のためにはまず、非晶質半導体層が含有する水素を放出させておくことが望ましく、400~500℃で1時間程度の熱処理を行い含有する水素量を5atomic%以下にしておくことと良

い。レーザーアニール法は、パルス発振型または連続発光型のエキシマレーザーやアルゴンレーザーをその光源とする。その装置の構成および概念は、前述の様に図1と図3で説明したものと同様なものを適用する。

【0029】レーザーアニール条件は実施者が適宜選択するものであるが、例えば、エキシマレーザーのパルス発振周波数30Hzとし、レーザーエネルギー密度を100~500mJ/cm<sup>2</sup> (代表的には300~350mJ/cm<sup>2</sup>) として、線幅100~1000 $\mu\text{m}$ 、例えば線幅400 $\mu\text{m}$ の線状ビームを照射する。この線幅は島状半導体層404よりも大きいので、1パルスの線状ビームで、少なくとも一つの島状半導体層404の第2の表面の全面と、島状半導体層404の周辺を照射することができる。島状半導体層404の周辺にある入射角 $\theta$ を持って照射された光の一部は基板の下側の反射板に達し、そこで反射角 $\theta'$ を持って反射された光の一部は島状半導体層404の第1の表面に照射される。また、線状ビームを走査しながら複数回照射しても良い。この時の線状ビームの重ね合わせ率 (オーバーラップ率) を50~98%として行うと良い。実際には照射パルス数を20~40パルスとすると良い。レーザービームの形状は面状としても同様に処理することができる。

【0030】このような、レーザーアニール方法において、島状半導体層404の周辺にある入射角 $\theta$ を持って照射された光は、基板401を通過する過程で約50%減衰する。反射板の正反射率を90%としても、実際に島状半導体層404の第1の表面に照射されるレーザー光は、直達レーザー光の15~30%程度であると考えられる。しかし、この程度の強度の拡散レーザー光によっても島状半導体層404は十分に加熱される。その結果、直達レーザー光と拡散レーザー光によって熔融された半導体層の冷却過程は緩やかなものとなり、結晶成長を十分に成し遂げさせることが可能となる。

【0031】これは、図3(A)で示すステージ1202に設けられたヒーター1203によっても基板を100~450℃までの加熱ができるが、拡散レーザー光による半導体層の加熱はこの温度以上の効果がある。

【0032】また、島状半導体層404の内側まで拡散レーザー光を効果的に入射させるには、反射板をアルミニウムとして、その表面に数100nmの微細な凹凸形状を形成して、拡散反射率を50~70%としておくことが有効である。これは、微細な凹凸形状の表面によりレーザー光の散乱角が大きくなるためである。

【0033】このようにしてレーザーアニールを施す結果、図4(C)に示すように島状半導体層404は、非晶質構造から結晶質構造へ遷移することにより緻密化して1~15%程度収縮する (図中の点線はアニール前の島状半導体層の大きさを示す)。そして、結晶構造を有する島状半導体層405が形成される。この島状半導体層405の周辺部には収縮による歪みが蓄積した領域4

06ができる。この歪みが蓄積した領域406には多数の捕獲中心や再結合中心などの欠陥準位があるので、少なくともTFETのチャネル形成領域などに使用することは適切でない。そのために、特開平8-228006号公報には、このような島状半導体層の周辺の歪みが蓄積した領域を除去して新たな形状の島状半導体層を形成する技術が開示されている。従って、図4(D)に示すように、歪みが蓄積した領域406をエッチングして除去して島状半導体層407を形成する(図中の点線で示す408はエッチングで除去した領域を示す)。

【0034】その後、島状半導体層407は、3~100%の水素を含む雰囲気中で300~450℃の加熱処理、或いは、プラズマによって生成された水素を含む雰囲気中で200~450℃の加熱処理によって、残留する欠陥を中和することができる。このようにして作製された島状半導体層407は、TFETの活性層として好適に用いることができる。

【0035】[実施形態2]本発明の他の実施形態を図5を用いて説明する。図5(A)において、基板501、下地膜502、非晶質半導体層503は実施形態1と同様にして作製する。そして、図5(B)に示すように非晶質半導体層503から、第1の形状を有する島状半導体層504を形成する。そして、重量換算で5~100ppmの触媒元素を含む水溶液をスピコート法で塗布して触媒元素を含有する層505を形成する。触媒元素にはニッケル(Ni)、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)などである。この触媒元素を含有する層505は、スピコート法の他にスパッタ法や真空蒸着法によって上記触媒元素の層を1~5nmの厚さに形成しても良い。

【0036】この状態の基板に対して、実施形態1と同様にしてレーザーアニールを施す。その結果、直達レーザー光および拡散レーザー光により一旦熔融状態を経て形成される結晶構造を有する島状半導体層506中には触媒元素が $1 \times 10^{17} \sim 1 \times 10^{19}$  atoms/cm<sup>3</sup>程度の濃度で含まれている。触媒元素は結晶化において半導体層中にシリサイドを形成しながら拡散し、その過程で半導体層の結晶化を促進させる効果があり、実施形態1と比較してより結晶性の高い結晶質半導体層を形成することを可能とする。しかし、この場合でも島状半導体層506は、非晶質構造から結晶質構造へ遷移することにより緻密化して収縮する(図中の点線はアニール前の島状半導体層の大きさを示す)ので、この島状半導体層506の周辺部には収縮による歪みが蓄積した領域507ができる。従って、この場合でも図5(D)に示すように、歪みが蓄積した領域507をエッチングして除去して第2の形状を有する島状半導体層508を形成する(図中の点線で示す509はエッチングで除去した領域を示し

ている)。

【0037】その後、島状半導体層508は、3~100%の水素を含む雰囲気中で300~450℃の加熱処理、或いは、プラズマによって生成された水素を含む雰囲気中で200~450℃の加熱処理によって、残留する欠陥を中和することができる。このようにして作製された島状半導体層508は、TFETの活性層として好適に用いることができる。

【0038】[実施形態3]TFETの活性層とする結晶構造を有する島状半導体層の作製方法は、レーザーアニール法のみから作製されるものではなく、本発明に関わるレーザーアニール法と熱アニール法を併用させても良い。特に、熱アニール法による結晶化は、特開平7-130652号公報で開示される触媒元素を用いる結晶化法にも応用すると、600℃以下の温度で結晶化を実現でき、このようにして作製された結晶質半導体層を本発明に関わるレーザーアニール法で処理すると高品質の結晶質半導体層を得ることができる。このような実施形態を図6を用いて説明する。

【0039】図6(A)において、基板601には実施形態1で示したガラス基板を好適に用いることができる。その他、下地膜602、非晶質半導体層603は実施形態1と同様にして作製する。そして、この状態で実施形態2と同様にして触媒元素を含有する層604を非晶質半導体層603上に形成する。その後、まず400~500℃で1時間程度の熱処理を行い、非晶質半導体層の含有水素量を5atomic%以下にする。そして、ファーンズアニール炉を用い、窒素雰囲気中において550~600℃で1~8時間、好ましくは550℃で4時間の熱アニールを行う。以上の工程により結晶質シリコン膜から成る結晶質半導体層を得ることができる(図示せず)。この熱アニールによって作製された結晶質半導体層は、光学顕微鏡観察により巨視的に観察すると局所的に非晶質領域が残存していることが観察されることがあり、このような場合、同様にラマン分光法では480cm<sup>-1</sup>にブロードなピークを持つ非晶質成分が観測される。しかし、このような非晶質領域は本発明のレーザーアニール法により容易に除去することが可能であり、良質な結晶質半導体層を得ることができる。

【0040】そこで、上述の熱アニールが施された結晶質半導体層から第1の形状を有する島状半導体層605を形成する。結晶質半導体層は、非晶質構造から結晶質構造へ遷移することにより緻密化して収縮するので、その膜厚は非晶質半導体層603の厚さ(図中の点線606で示す)よりも1~15%程度薄くなる(図6(B))。

【0041】この状態の基板に対して、実施形態1と同様にしてレーザーアニールを施す。その結果、直達レーザー光および拡散レーザー光により一旦熔融状態を経て新に結晶構造を有する島状半導体層607が形成され

る。この場合でも島状半導体層605は、結晶性が高まることにより僅かに緻密化して収縮する(図中の点線はレーザーアニール前の島状半導体層605の大きさを示す)ので、この島状半導体層607の周辺部には収縮による歪みが蓄積した領域608ができてしまう。また、島状半導体層607中には触媒元素が $1 \times 10^{17} \sim 1 \times 10^{19}$  atoms/cm<sup>2</sup>程度の濃度で含まれている。この場合でも図6(D)に示すように、歪みが蓄積した領域608をエッチングして除去して第2の形状を有する島状半導体層609を形成する(図中の点線で示す610はエッチングで除去した領域を示す)。

【0042】その後、同様に島状半導体層609は、3～100%の水素を含む雰囲気中で300～450℃の加熱処理、或いは、プラズマによって生成された水素を含む雰囲気中で200～450℃の加熱処理を施すと良い。

【0043】[実施形態4]図7で説明する実施形態は、レーザーアニール法において半導体層に温度勾配をもたせて結晶化させることにより、より良質な結晶質半導体層を形成する方法である。図7(A)において、基板701は実施形態1と同様なものを用いることができる。

【0044】この基板701のTFEを形成する表面に、透光性でかつ絶縁性を有し、熱伝導性の優れる熱伝導層702を形成する。熱伝導層702の厚さは50～500nmとし、熱伝導率は $10 \text{ Wm}^{-1} \text{ K}^{-1}$ 以上であることが必要である。このような材料として、アルミニウムの酸化物(酸化アルミニウム( $\text{Al}_2\text{O}_3$ ))は可視光において透光性を有し、熱伝導率が $20 \text{ Wm}^{-1} \text{ K}^{-1}$ であり適している。また、酸化アルミニウムは化学量論比に限定されるものでなく、熱伝導率特性と内部応力などの特性を制御するために、他の元素を添加しても良い。例えば、酸化アルミニウムに窒素を含ませて、酸化窒化アルミニウム( $\text{AlN}_x\text{O}_{1-x}$ ;  $0.02 \leq x \leq 0.5$ )を用いても良いし、アルミニウムの窒化物( $\text{AlN}_x$ )を用いることも可能である。また、シリコン(Si)、酸素

(O)、窒素(N)とM(Mはアルミニウム(Al)または希土類元素から選ばれた少なくとも一種)を含む化合物を用いることができる。例えば、 $\text{AlSiON}$ や $\text{LaSiON}$ などを好適に用いることができる。その他に、窒化ホウ素なども適用することができる。上記の酸化物、窒化物、および化合物はいずれもスパッタ法で形成することができる。これは所望の組成のターゲットを用い、アルゴン(Ar)や窒素などの不活性ガスを用いてスパッタすることにより形成できる。また、熱伝導度が $1000 \text{ Wm}^{-1} \text{ K}^{-1}$ に達する薄膜ダイヤモンド層やDLC(Diamond Like Carbon)層を設けても良い。

【0045】この上に島状の絶縁層703を形成する。島状の絶縁層703の熱伝導率は $10 \text{ Wm}^{-1} \text{ K}^{-1}$ 未満である材料を用いる。このような材料として、酸化シリコン膜や窒化シリコン膜などを選択することができるが、好

ましくは酸化窒化シリコン膜で形成すると良い。酸化窒化シリコン膜は、プラズマCVD法で $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ を原料ガスとして作製する。この原料ガスに $\text{O}_2$ を添加しても良い。作製条件は限定されないが、この島状の絶縁膜703としての酸化窒化シリコン膜は膜厚を50～500nmとし、含有酸素濃度を55atomic%以上70atomic%未満とし、かつ、含有窒素濃度を1atomic%以上20atomic%未満となるようにする。このような組成として酸化窒化シリコン膜の内部応力が低減すると共に固定電荷密度を減少させておく。

【0046】次に、25～80nm(好ましくは30～60nm)の厚さで非晶質構造を有する半導体膜704を、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成した。非晶質構造を有する半導体膜としては、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。その後、非晶質構造を有する半導体膜704から第1の形状を有する島状半導体層705を形成する。この島状半導体層705は、島状の絶縁層703を覆って、端部が熱伝導層702と接するように形成すると良い(図6(B))。

【0047】そして、デュアルビームレーザーアニール法を使用して島状半導体層705を結晶化させる。この過程において、島状半導体層705の端部が熱伝導層702と接する領域は急激に冷却されることにより、この領域において最初に結晶核が生成され、この領域では微細な結晶粒が形成される。一方、島状の絶縁層703上にある半導体層は加熱と冷却の温度変化が比較的小さなものととなり、この領域にある半導体層は熱伝導層702に近い端部から比較的緩やかに結晶粒が成長し、島状の絶縁層703上のほぼ全面に渡って単一の結晶粒を成長させることができる。

【0048】その結果、図7(C)に示すように島状半導体層705は、非晶質構造から結晶質構造へ遷移することにより緻密化して1～15%程度収縮する(図中の点線はアニール前の島状半導体層の大きさを示す)。そして、結晶構造を有する島状半導体層706が形成される。この島状半導体層706の周辺部には収縮による歪みが蓄積する領域707ができる。この歪みが蓄積する領域707には多数の捕獲中心や再結合中心などの欠陥準位があるので、少なくともTFEのチャネル形成領域などに使用することは適切でない。最後に、図7(D)に示すように、歪みが蓄積する領域707をエッチングして除去して第2の形状を有する島状半導体層708を形成する(図中の点線で示す709はエッチングで除去した領域を示す)。

【0049】その後、同様に島状半導体層708は、3～100%の水素を含む雰囲気中で300～450℃の加熱処理、或いは、プラズマによって生成された水素を

含む雰囲気中で200～450℃の加熱処理を施すと良い。以上のように本実施形態では、下地膜に熱伝導層を設け、半導体層の温度勾配を利用する方法を、実施形態1で説明したレーザーアニール法に適用する例を示したが、このような方法は実施形態2または実施形態3と組み合わせても良い。

#### 【0050】

【実施例】【実施例1】本発明の実施例を図8～図10を用いて説明する。ここでは、画素部の画素TFTおよび保持容量と、画素部の周辺に設けられる駆動回路のn

チャンネル型TFTとpチャンネル型TFTとを同時に作製する方法について工程に従って説明する。

【0051】図8(A)において、基板101にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板の他に、結晶化や活性化の工程をレーザーアニール法のみで行う場合には、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)など光学的異方性を有しないプラスチック基板を用いることができる。ガラス基板を用いる場合には、ガラス歪み点よりも10～20℃程度低い温度であらかじめ熱処理しておいても良い。そして、基板101のTFTを形成する表面に、基板101からの不純物拡散を防ぐために、酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの下地膜102を形成する。例えば、プラズマCVD法で $\text{SiH}_4$ 、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化シリコン膜102aを10～200nm(好ましくは50～100nm)、同様に $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ から作製される酸化窒化水素化シリコン膜102bを50～200nm(好ましくは100～150nm)の厚さに積層形成する。

【0052】酸化窒化シリコン膜は従来の平行平板型のプラズマCVD法を用いて形成する。酸化窒化シリコン膜102aは、 $\text{SiH}_4$ を10SCCM、 $\text{NH}_3$ を100SCCM、 $\text{N}_2\text{O}$ を20SCCMとして反応室に導入し、基板温度325℃、反応圧力40Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。一方、酸化窒化水素化シリコン膜102bは、 $\text{SiH}_4$ を5SCCM、 $\text{N}_2\text{O}$ を120SCCM、 $\text{H}_2$ を125SCCMとして反応室に導入し、基板温度400℃、反応圧力20Pa、放電電力密度0.41W/cm<sup>2</sup>、放電周波数60MHzとした。これらの膜は、基板温度を変化させ、反応ガスの切り替えのみで連続して形成することもできる。

【0053】また、酸化窒化シリコン膜102aは基板を中心に考えて、その内部応力が引張り応力となるように形成する。酸化窒化水素化シリコン膜102bも同様な方向に内部応力を持たせるが、酸化窒化シリコン膜102aよりも絶対値で比較して小さい応力となりようにする。

【0054】次に、25～80nm(好ましくは30～60nm)の厚さで非晶質構造を有する半導体層103を、プラズマCVD法やスパッタ法などの公知の方法で形成する。例えば、プラズマCVD法で非晶質シリコン膜を55nmの厚さに形成する。非晶質構造を有する半導体膜には、非晶質半導体層や微結晶半導体膜があり、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用しても良い。また、下地膜102と非晶質半導体層103とは両者を連続形成することも可能である。例えば、前述のように酸化窒化シリコン膜102aと酸化窒化水素化シリコン膜102bをプラズマCVD法で連続して成膜後、反応ガスを $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{H}_2$ から $\text{SiH}_4$ と $\text{H}_2$ 、或いは $\text{SiH}_4$ のみに切り替えれば、一旦大気雰囲気に晒すことなく連続形成できる。その結果、酸化窒化水素化シリコン膜102bの表面の汚染を防ぐことが可能となり、作製するTFTの特性バラツキやしきい値電圧の変動を低減させることができる。

【0055】そして、まず非晶質構造を有する半導体層103から、図8(B)で点線で示すように第1の形状を有する島状半導体層104～108を形成する。図11(A)はこの状態における島状半導体層104、105の上面図であり、同様に図12(A)は島状半導体層108の上面図を示す。図11および図12において、島状半導体層は長方形とし一辺が50μm以下となるように形成するが、島状半導体層の形状は任意なものとすることが可能で、好ましくはその中心部から端部までの最小距離が50μm以下となるような形態であればどのような多角形、或いは円形とすることもできる。

【0056】次に、このような島状半導体層104～108に対して結晶化の工程を行う。結晶化の工程は、実施形態1～4で説明したいずれの方法を適用することも可能である。いずれにしても、本発明に関わるデュアルビームレーザーアニール法を適用することにより、新に図8(B)の実線で示す結晶質シリコン膜から成る島状半導体層109～113が形成される。この場合も同様に、非晶質シリコン膜の結晶化に伴って膜が緻密化し、1～15%程度収縮する。従って、このような結晶質シリコン膜から成る島状半導体層は、基板を中心に考えて引張り応力を有している。また、島状半導体層109～113の周辺の領域には、この収縮により歪みが蓄積した領域114が形成される。図11(B)および図12(B)は、それぞれこの状態の島状半導体層109、110および113の上面図を示す。同図中で点線で示す領域104、105、108は元々あった島状半導体層104、105、108の大きさを示す。

【0057】このような歪みが蓄積した領域114にかかってTFTのゲート電極が形成されると、この部分は前述のように多数の欠陥準位があり、また結晶性も良好でないのでTFTの特性を劣化させる原因となる。例えば、オフ電流値(TFTのオフ状態で流れる電流値)が

増大したり、この領域に電流が集中して局部的に発熱したりする。従って、図8(C)で示すように、このような歪みが蓄積した領域114が除去されるように第2の形状の島状半導体層115~119を形成する。図中点線で示す114'は歪みが蓄積した領域114が存在していた領域であり、その領域より内側に第2の形状の島状半導体層115~119を形成する状態を示している。この第2の形状の島状半導体層115~119の形状は任意な形状のものとすれば良い。図11(C)にはこの状態における島状半導体層115、114の上面図を示す。また、同様に図12(C)には島状半導体層119の上面図を示す。

【0058】その後、この島状半導体層115~119を覆って、プラズマCVD法またはスパッタ法により50~100nmの厚さの酸化シリコン膜によるマスク層137を形成する。

【0059】この状態で島状半導体層に対し、TFTのしきい値電圧( $V_{th}$ )を制御する目的でp型を付与する不純物元素を $1 \times 10^{16} \sim 5 \times 10^{17}$  atoms/cm<sup>2</sup>程度の濃度で島状半導体層の全面に添加しても良い。半導体に対してp型を付与する不純物元素には、ホウ素(B)、アルミニウム(Al)、ガリウム(Ga)など周期律表第13族の元素が知られている。その方法として、イオン注入法やイオンドーピング法を用いることができるが、大面積基板を処理するにはイオンドーピング法が適している。イオンドーピング法ではジボラン( $B_2H_6$ )をソースガスとして用いホウ素(B)を添加する。このような不純物元素の注入は必ずしも必要でなく省略しても差し支えないが、特にnチャネル型TFTのしきい値電圧を所定の範囲内に収めるために好適に用いる手法である。

【0060】駆動回路のnチャネル型TFTのLDD領域を形成するために、n型を付与する不純物元素を島状半導体層116、118に選択的に添加する。そのため、あらかじめレジストマスク120a~120eを形成した。n型を付与する不純物元素としては、リン(P)や砒素(As)を用いれば良く、ここではリン(P)を添加すべく、フォスフィン( $PH_3$ )を用いたイオンドーピング法を適用した。形成された不純物領域は低濃度n型不純物領域121、122として、このリン(P)濃度は $2 \times 10^{16} \sim 5 \times 10^{17}$  atoms/cm<sup>2</sup>の範囲とすれば良い。本明細書中では、ここで形成された不純物領域121、122に含まれるn型を付与する不純物元素の濃度を( $n^-$ )と表す。また、不純物領域123は、画素マトリクス回路の保持容量を形成するための半導体層であり、この領域にも同じ濃度でリン(P)を添加した(図8(D))。

【0061】次に、添加した不純物元素を活性化させる工程を行う。活性化は、窒素雰囲気中で500~600℃で1~4時間の熱処理や、レーザー活性化の方法により行うことができる。また、両者を併用して行っても良

い。レーザー活性化の方法による場合、KrFエキシマレーザー光(波長248nm)を用い、線状ビームを形成して、発振周波数5~50Hz、エネルギー密度100~500mJ/cm<sup>2</sup>として線状ビームのオーバーラップ割合を80~98%として走査して、島状半導体層が形成された基板全面を処理した。尚、レーザー光の照射条件には何ら限定される事項はなく、実施者が適宜決定すれば良い。マスク層137はこの段階でフッ酸などの溶液でエッチング除去する。

【0062】図8(E)において、ゲート絶縁膜127はプラズマCVD法またはスパッタ法を用い、膜厚を40~150nmとしてシリコンを含む絶縁膜で形成する。例えば、120nmの厚さで酸化窒化シリコン膜から形成すると良い。また、 $SiH_4$ と $N_2O$ に $O_2$ を添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているのでこの用途に対して好ましい材料となる。勿論、ゲート絶縁膜127はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。いずれにしても、ゲート絶縁膜127は基板を中心に考え圧縮応力となるように形成する。

【0063】そして、図8(E)に示すように、ゲート絶縁膜127上にゲート電極を形成するための耐熱性導電層を形成する。耐熱性導電層は単層で形成しても良いが、必要に応じて二層あるいは三層といった複数の層から成る積層構造としても良い。このような耐熱性導電性材料を用い、例えば、導電性の窒化物金属膜から成る導電層(A)124と金属膜から成る導電層(B)125とを積層した構造とすると良い。導電層(B)125はタンタル(Ta)、チタン(Ti)、モリブデン(Mo)、タングステン(W)から選ばれた元素、または前記元素を主成分とする合金か、前記元素を組み合わせた合金膜(代表的にはMo-W合金膜、Mo-Ta合金膜)で形成すれば良く、導電層(A)124は窒化タンタル(TaN)、窒化タングステン(WN)、窒化チタン(TiN)膜、窒化モリブデン(MoN)などで形成する。また、導電層(A)124はタングステンシリサイド、チタンシリサイド、モリブデンシリサイドを適用しても良い。導電層(B)125は低抵抗化を図るために含有する不純物濃度を低減させることが好ましく、特に酸素濃度に関しては30ppm以下とすると良かった。例えば、タングステン(W)は酸素濃度を30ppm以下とすることで $20 \mu\Omega\text{cm}$ 以下の比抵抗値を実現することができた。

【0064】導電層(A)124は10~50nm(好ましくは20~30nm)とし、導電層(B)125は200~400nm(好ましくは250~350nm)とすれば良い。Wをゲート電極とする場合には、Wをターゲットとしたスパッタ法で、アルゴン(Ar)ガスと窒素( $N_2$ )ガスを導入して導電層(A)125を窒化タングス

テン (WN) で 50 nm の厚さに形成し、導電層 (B) 124 を W で 250 nm の厚さに形成する。その他の方法として、W 膜は 6 フッ化タングステン (WF<sub>6</sub>) を用いて熱 CVD 法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W 膜の抵抗率は 20  $\mu\Omega\text{cm}$  以下にすることが望ましい。W 膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W 中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度 99.9999% の W ターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮して W 膜を形成することにより、抵抗率 9~20  $\mu\Omega\text{cm}$  を実現することができる。

【0065】一方、導電層 (A) 124 に TaN 膜を、導電層 (B) 125 に Ta 膜を用いる場合には、同様にスパッタ法で形成することが可能である。TaN 膜は Ta をターゲットとしてスパッタガスに Ar と窒素との混合ガスを用いて形成し、Ta 膜はスパッタガスに Ar を用いる。また、これらのスパッタガス中に適量の Xe や Kr を加えておくと、形成する膜の内部応力を緩和して膜の剥離を防止することができる。 $\alpha$  相の Ta 膜の抵抗率は 20  $\mu\Omega\text{cm}$  程度でありゲート電極に使用することができるが、 $\beta$  相の Ta 膜の抵抗率は 180  $\mu\Omega\text{cm}$  程度であり、ゲート電極とするには不向きであった。TaN 膜は  $\alpha$  相に近い結晶構造を持つので、この上に Ta 膜を形成すれば  $\alpha$  相の Ta 膜が容易に得られた。尚、図示しないが、導電層 (A) 124 の下に 2~20 nm 程度の厚さでリン (P) をドーブしたシリコン膜を形成しておくことは有効である。これにより、その上に形成される導電膜の密着性向上と酸化防止を図ると同時に、導電層

(A) 124 または導電層 (B) 125 が微量に含有するアルカリ金属元素がゲート絶縁膜 127 に拡散するのを防ぐことができる。いずれにしても、導電層 (B) 125 は抵抗率を 10~50  $\mu\Omega\text{cm}$  の範囲ですることが好ましい。

【0066】次に、フォトリソグラフィの技術を使用してレジストマスク 126a~126f を形成し、導電層 (A) 124 と導電層 (B) 125 とを一括でエッチングしてゲート電極 128~132 と容量配線 133 を形成する。ゲート電極 128~132 と容量配線 133 は、導電層 (A) から成る 128a~132a と、導電層 (B) から成る 128b~132b とが一体として形成されている (図 9 (A))。また、この状態における島状半導体層 115、116 とゲート絶縁膜 128、129 との位置関係を図 11 (D) に示す。同様に島状半導体層 119 とゲート電極 132、容量配線 133 の関係を図 12 (D) に示す。図 11 (D) および図 12 (D) において、ゲート絶縁膜 127 は省略して示す。

【0067】導電層 (A) および導電層 (B) をエッチ

ングする方法は実施者が適宜選択すれば良いが、前述のように W を主成分とする材料で形成されている場合には、高速でかつ精度良くエッチングを実施するために高密度プラズマを用いたドライエッチング法を適用することが望ましい。高密度プラズマを得る方法として、マイクロ波プラズマや誘導結合プラズマ (Inductively Coupled Plasma: ICP) エッチング装置を用いると良い。例えば、ICP エッチング装置を用いた W のエッチング法は、エッチングガスに CF<sub>4</sub> と Cl<sub>2</sub> の 2 種のガスを反応室に導入し、圧力 0.5~1.5 Pa (好ましくは 1 Pa) とし、誘導結合部に 200~1000 W の高周波 (13.56 MHz) 電力を印加する。この時、基板が置かれたステージには 20 W の高周波電力が印加され、自己バイアスで負電位に帯電することにより、正イオンが加速されて異方性のエッチングを行うことができる。ICP エッチング装置を使用することにより、W などの硬い金属膜も 2~5 nm/秒のエッチング速度を得ることができる。また、残渣を残すことなくエッチングするためには、10~20% 程度の割合でエッチング時間を増しオーバーエッチングをすると良い。しかし、この時に下地とのエッチングの選択比に注意する必要がある。例えば、W 膜に対する酸化窒化シリコン膜 (ゲート絶縁膜 127) の選択比は 2.5~3 であるので、このようなオーバーエッチング処理により、酸化窒化シリコン膜が露出した面は 20~50 nm 程度エッチングされて実質的に薄くなった。

【0068】そして、画素 TFT の n チャネル型 TFT に LDD 領域を形成するために、n 型を付与する不純物元素添加の工程 (n<sup>+</sup> ドープ工程) を行った。ゲート電極 128~132 をマスクとして自己整合的に n 型を付与する不純物元素をイオンドープ法で添加した。n 型を付与する不純物元素として添加するリン (P) の濃度は  $1 \times 10^{14} \sim 5 \times 10^{15} \text{ atoms/cm}^2$  の濃度範囲で添加する。このようにして、図 9 (B) に示すように島状半導体層に低濃度 n 型不純物領域 134~139 を形成する。

【0069】次に、n チャネル型 TFT において、ソース領域またはドレイン領域として機能する高濃度 n 型不純物領域の形成を行った (n<sup>+</sup> ドープ工程)。まず、フォトリソマスクを用い、レジストのマスク 140a~140d を形成し、n 型を付与する不純物元素を添加して高濃度 n 型不純物領域 141~146 を形成した。n 型を付与する不純物元素にはリン (P) を用い、その濃度が  $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^2$  の濃度範囲となるようにフォスフィン (PH<sub>3</sub>) を用いたイオンドープ法を行った (図 9 (C))。

【0070】そして、p チャネル型 TFT を形成する島状半導体層 115、117 にソース領域およびドレイン領域とする高濃度 p 型不純物領域 148、149 を形成する。ここでは、ゲート電極 128、130 をマスクと



してp型を付与する不純物元素を添加し、自己整合的に高濃度p型不純物領域を形成する。このとき、nチャネル型TFTを形成する島状半導体膜116、118、119は、フォトリソを用いてレジストマスク147a～147cを形成し全面を被覆しておく。高濃度p型不純物領域148、149はジボラン ( $B_2H_6$ ) を用いたイオンドープ法で形成する。この領域のボロン (B) 濃度は  $3 \times 10^{10} \sim 3 \times 10^{11} \text{ atoms/cm}^2$  となるようにする (図9 (D))。この高濃度p型不純物領域148、149には、前工程においてリン (P) が添加されていて、高濃度p型不純物領域148a、149aには  $1 \times 10^{10} \sim 1 \times 10^{11} \text{ atoms/cm}^2$  の濃度で、高濃度p型不純物領域148b、149bには  $1 \times 10^{10} \sim 5 \times 10^{10} \text{ atoms/cm}^2$  の濃度で含有しているが、この工程で添加するボロン (B) の濃度を1.5から3倍となるようにすることにより、pチャネル型TFTのソース領域およびドレイン領域として機能する上で何ら問題はなかった。

【0071】その後、図10 (A) に示すように、ゲート電極およびゲート絶縁膜上から保護絶縁膜150を形成する。保護絶縁膜は酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、またはこれらを組み合わせた積層膜で形成すれば良い。いずれにしても保護絶縁膜150は無機絶縁物材料から形成する。保護絶縁膜150の膜厚は100～200nmとする。ここで、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル (Tetraethyl Ortho Silicate:  $TEOS$ ) と  $O_2$  とを混合し、反応圧力40Pa、基板温度300～400℃とし、高周波 (13.56MHz) 電力密度0.5～0.8W/cm<sup>2</sup> で放電させて形成することができる。酸化窒化シリコン膜を用いる場合には、プラズマCVD法で  $SiH_4$ 、 $N_2O$ 、 $NH_3$  から作製される酸化窒化シリコン膜、または  $SiH_4$ 、 $N_2O$  から作製される酸化窒化シリコン膜で形成すれば良い。この場合の作製条件は反応圧力20～200Pa、基板温度300～400℃とし、高周波 (60MHz) 電力密度0.1～1.0W/cm<sup>2</sup> で形成することができる。また、 $SiH_4$ 、 $N_2O$ 、 $H_2$  から作製される酸化窒化水素化シリコン膜を適用しても良い。窒化シリコン膜も同様にプラズマCVD法で  $SiH_4$ 、 $NH_3$  から作製することが可能である。このような保護絶縁膜は、基板を中心に考えて圧縮応力となるように形成する。

【0072】その後、それぞれの濃度で添加されたn型またはp型を付与する不純物元素を活性化する工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法 (RTA法) を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には500～600℃で行うものであり、

本実施例では550℃で4時間の熱処理を行った。また、基板101に耐熱温度が低いプラスチック基板を用いる場合にはレーザーアニール法を適用することが好ましい (図10 (B))。

【0073】活性化の工程の後、さらに、3～100%の水素を含む雰囲気中で、300～450℃で1～12時間の熱処理を行い、島状半導体層を水素化する工程を行った。この工程は熱的に励起された水素により島状半導体層にある  $10^{16} \sim 10^{18} / \text{cm}^2$  のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化 (プラズマにより励起された水素を用いる) を行っても良い。また、300～450℃の加熱処理により、下地膜102の酸化窒化水素化シリコン膜102b、保護絶縁膜150の酸化窒化シリコン膜の水素を拡散させて島状半導体層を水素化しても良い。

【0074】活性化および水素化の工程が終了したら、有機絶縁物材料からなる層間絶縁膜151を1.0～2.0μmの平均厚を有して形成する。有機樹脂材料としては、ポリイミド、アクリル、ポリアミド、ポリイミドアミド、BCB (ベンゾシクロブテン) 等を使用することができる。例えば、基板に塗布後、熱重合するタイプのポリイミドを用いる場合には、クリーンオープンを用い、300℃で焼成して形成する。また、アクリルを用いる場合には、2液性のものを用い、主材と硬化剤を混合した後、スピナーを用いて基板全面に塗布した後、ホットプレートを用い、80℃で60秒の予備加熱を行い、さらにクリーンオープンを用い、250℃で60分焼成して形成することができる。

【0075】層間絶縁膜を有機絶縁物材料で形成することにより、表面を良好に平坦化させることができる。また、有機樹脂材料は一般に誘電率が低いので、寄生容量を低減することができる。しかし、吸湿性があり保護膜としては適さないので、本実施例のように、保護絶縁膜150として形成した酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜などと組み合わせて用いる必要がある。

【0076】その後、フォトリソを用い、所定のパターンのレジストマスクを形成し、それぞれの島状半導体膜に形成されたソース領域またはドレイン領域に達するコンタクトホールを形成する。コンタクトホールの形成はドライエッチング法により行う。この場合、エッチングガスに  $CF_4$ 、 $O_2$ 、 $He$  の混合ガスを用い有機樹脂材料から成る層間絶縁膜をまずエッチングし、その後、続いてエッチングガスを  $CF_4$ 、 $O_2$  として保護絶縁膜146をエッチングする。さらに、島状半導体層との選択比を高めるために、エッチングガスを  $CHF_3$  に切り替えてゲート絶縁膜をエッチングすることにより、良好にコンタクトホールを形成することができる。

【0077】そして、導電性の金属膜をスパッタ法や真空蒸着法で形成し、フォトリソによりレジストマスク



パターンを形成し、エッチングによってソース配線 152~156 とドレイン配線 157~161 を形成する。ドレイン配線 162 は隣接する画素のドレイン配線を示す。ここで、ドレイン配線 161 は画素電極として機能するものである。図示していないが、本実施例ではこの電極を、Ti 膜を 50~150nm の厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、その Ti 膜上に重ねてアルミニウム (Al) を 300~400nm の厚さで形成して配線とした。

【0078】図 11 (E) はこの状態における島状半導体層 115、116、ゲート電極 128、129、ソース配線 152、153 およびドレイン配線 157、158 の上面図を示す。ソース配線 152、153 は図示されていない層間絶縁膜および保護絶縁膜に設けられたコンタクトホールによって、島状半導体層 115、116 とそれぞれ 230、233 で接続している。また、ドレイン配線 157、158 は 231、232 で島状半導体層 115、116 と接続している。同様に、図 12

(E) では島状半導体層 119、ゲート電極 132、容量配線 133、ソース配線 156 およびドレイン配線 161 の上面図を示す。ソース配線 156 はコンタクト部 234 で、ドレイン配線 161 はコンタクト部 235 でそれぞれ島状半導体層 119 と接続している。いづれにしても、第 1 の形状を有する島状半導体層の内側の領域に、歪みが残留している領域を除去して、第 2 の形状を有する島状半導体層を形成し、TFT を形成する。

【0079】この状態で水素化処理を行うと TFT の特性向上に対して好ましい結果が得られた。例えば、3~100% の水素を含む雰囲気中で、300~450℃ で 1~12 時間の熱処理を行うと良く、あるいはプラズマ水素化法を用いても同様の効果が得られた。また、このような熱処理により保護絶縁膜 146 や、下地膜 102 に存在する水素を島状半導体膜 115~119 に拡散させ水素化をすることもできる。いづれにしても、島状半導体層 115~119 中の欠陥密度を  $10^{14}/\text{cm}^2$  以下とすることが望ましく、そのために水素を  $5 \times 10^{18} \sim 5 \times 10^{19} \text{ atoms/cm}^2$  程度付与すれば良かった (図 10

(C))。このような処理を加えられた島状半導体層は僅かに存在する結晶粒界も不活性なものとなり、実質的に単結晶と見なせる領域が形成された。

【0080】こうして同一の基板上に、駆動回路の TFT と画素部の画素 TFT とを有した基板を完成させることができる。駆動回路には第 1 の p チャンネル型 TFT 200、第 1 の n チャンネル型 TFT 201、第 2 の p チャンネル型 TFT 202、第 2 の n チャンネル型 TFT 203、画素部には画素 TFT 204、保持容量 205 が形成されている。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0081】駆動回路の第 1 の p チャンネル型 TFT 20

0 には、島状半導体膜 115 にチャンネル形成領域 206、高濃度 p 型不純物領域から成るソース領域 207a、207b、ドレイン領域 208a、208b を有したシングルドレインの構造を有している。第 1 の n チャンネル型 TFT 201 には、島状半導体膜 116 にチャンネル形成領域 209、ゲート電極 119 と重なる LDD 領域 210、ソース領域 212、ドレイン領域 211 を有している。この LDD 領域において、ゲート電極 119 と重なる LDD 領域を  $L_{ov}$  としてそのチャンネル長方向の長さは 0.5~3.0  $\mu\text{m}$ 、好ましくは 1.0~2.0  $\mu\text{m}$  とした。n チャンネル型 TFT における LDD 領域の長さをこのようにすることにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFT の劣化を防止することができる。駆動回路の第 2 の p チャンネル型 TFT 202 は同様に、島状半導体膜 117 にチャンネル形成領域 213、高濃度 p 型不純物領域から成るソース領域 214a、214b、ドレイン領域 215a、215b を有したシングルドレインの構造を有している。第 2 の n チャンネル型 TFT 203 には、島状半導体膜 118 にチャンネル形成領域 216、ゲート電極 121 と一部が重なる LDD 領域 217、218、ソース領域 220、ドレイン領域 219 が形成されている。この TFT のゲート電極と重なる  $L_{ov}$  の長さも 0.5~3.0  $\mu\text{m}$ 、好ましくは 1.0~2.0  $\mu\text{m}$  とした。また、ゲート電極と重ならない LDD 領域を  $L_{off}$  として、このチャンネル長方向の長さは 0.5~4.0  $\mu\text{m}$ 、好ましくは 1.0~2.0  $\mu\text{m}$  とした。画素 TFT 204 には、島状半導体膜 119 にチャンネル形成領域 221、222、LDD 領域 223~225、ソースまたはドレイン領域 226~228 を有している。LDD 領域 ( $L_{off}$ ) のチャンネル長方向の長さは 0.5~4.0  $\mu\text{m}$ 、好ましくは 1.5~2.5  $\mu\text{m}$  である。さらに、容量配線 123 と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素 TFT 204 のドレイン領域 228 に接続する半導体層 229 とから保持容量 205 が形成されている。図 10 (C) では画素 TFT 204 をダブルゲート構造としたが、シングルゲート構造でも良いし、複数のゲート電極を設けたマルチゲート構造としても差し支えない。

【0082】図 13 は画素部のほぼ一画素分を示す上面図である。図中に示す A-A' 断面が図 10 (C) に示す画素部の断面図に対応している。画素 TFT 204 は、ゲート配線を兼ねるゲート電極 132 は、図示されていないゲート絶縁膜を介してその下の島状半導体層 119 と交差している。図示はしていないが、島状半導体層には、ソース領域、ドレイン領域、LDD 領域が形成されている。また、234 はソース配線 156 とソース領域 226 とのコンタクト部、235 はドレイン配線 161 とドレイン領域 228 とのコンタクト部である。保持容量 205 は、画素 TFT 204 のドレイン領域 22

8から延在する半導体層229とゲート絶縁膜を介して容量配線133が重なる領域で形成されている。

【0083】以上のような工程を経て本発明に関わるデュアルビームレーザアニール法から形成された島状半導体層は単結晶構造を有している。このような島状半導体層を用いて、画素TFTおよび駆動回路が要求する仕様に応じて各回路を構成するTFTの構造を最適化することにより、半導体装置の動作性能と信頼性を向上させることを可能としている。さらにゲート電極は耐熱性を有する導電性材料で形成することによりLDD領域やソース領域およびドレイン領域の活性化を容易としている。そして、このようなアクティブマトリクス基板で高品質な表示装置を実現することができる。本実施例で作製したアクティブマトリクス基板からは、反射型の液晶表示装置を作製することができる。

【0084】〔実施例2〕本発明において、デュアルビームレーザアニール法を適用する上で、アニールする島状半導体層の大きさは、好適には中心部から端部までの距離が50 $\mu$ m以下の領域を有するようにする。しかしながら、回路特性上TFTのチャンネル幅を50 $\mu$ m以上とする要求も有り得る。本実施例では、そのような場合にも本発明の効果が十分得られる島状半導体層の構成例を示す。

【0085】図14は、実施例1で図8～図10を用いて説明したアクティブマトリクス基板の駆動回路のTFTにおいて、図10(C)に対応する上面図を示している。複数の分割されて形成された第2の形状を有する島状半導体層115a～115c、116a～116cはそれぞれ間隙を持って形成されている。第1の形状の島状半導体層をこのように間隙をもって形成しておくことで、デュアルビームレーザアニール法による結晶化の工程で、直達レーザー光と拡散レーザー光を有効に利用することができる。即ち、外側に位置する島状半導体層115a、115c、116a、116cと中央部に位置する島状半導体層115b、116bのいずれも同様な結晶性を有する結晶質半導体層を形成することができる。図14(A)では、このような島状半導体層上にゲート電極128、129とソース配線152、153、ドレイン配線157、158が形成されている様子を示している。そして、歪みが蓄積している領域114は、ゲート電極と島状半導体層がかさなるチャンネル形成領域およびその周辺の領域以外にはそのまま残してある。このように、少なくともチャンネル形成領域以外の部分について歪みが蓄積している領域114を残存させたままTFTを作製しても、前述のような特性が劣化する原因とはならない。このような構成は、また、実施例1で作製したそれぞれのTFTにも適用することができる。勿論、島状半導体層を分割する数に制限はなく、また、pチャンネル型TFTとnチャンネル型TFTとでその数を異ならせることも可能である。このようなTFTにより、

CMOS回路の基本形態であるインバータ回路をはじめとしてさまざまな回路を形成することが可能である。

【0086】また、図14(B)は第2の形状を有する島状半導体層115、116のそれぞれの内側に少なくとも一つの間隙1401を設けた例であり、このような間隙1401を予め第1の形状を有する島状半導体層に形成しておき、デュアルビームレーザアニール法による結晶化を行うことにより、同様に直達レーザー光と拡散レーザー光を有効に利用することができる。図14(B)では、このような島状半導体層上にゲート電極128、129とソース配線152、153、ドレイン配線157、158が形成されている様子を示し、歪みが蓄積している領域114は、ゲート電極と島状半導体層がかさなるチャンネル形成領域およびその周辺の領域以外にはそのまま残して形成しても良い。

【0087】〔実施例3〕実施例1では、駆動回路の第1のnチャンネル型TFT201と第2のnチャンネル型TFT203のLDD領域のすべてまたは一部をゲート電極と重なるように形成するいわゆるGOLD (Gate-drain Overlapped LDD) 構造で形成した。しかし、工程を簡略化し、より低コストで製造するためにはGOLD構造を省いて、前記nチャンネル型TFTをLDD構造で作製する方法もある。GOLD構造ではnチャンネル型TFTにおいてホットキャリアによる劣化を防止することができるが、LDD構造としても、そのLDD領域のチャンネル長方向の長さを適切なものとするにより、ホットキャリアによる劣化を抑止することができる。

【0088】駆動回路の第1のnチャンネル型TFT201と第2のnチャンネル型TFT203をLDD構造のTFTとするためには、実施例1において図8～図10を用いて説明した工程において、図8(D)で説明する工程を省略すれば良い。そのような工程で作製されるアクティブマトリクス基板を図15に示す。

【0089】図15において、駆動回路の第1のpチャンネル型TFT200には、島状半導体膜115にチャンネル形成領域206、高濃度p型不純物領域から成るソース領域207a、207b、ドレイン領域208a、208bを有したシングルドレインの構造を有している。第1のnチャンネル型TFT201には、島状半導体膜116にチャンネル形成領域209、ゲート電極129と重ならないLDD領域210b、ソース領域212、ドレイン領域211を有している。このLDD領域のチャンネル長方向の長さは1.0～4.0 $\mu$ m、好ましくは2.0～3.0 $\mu$ mとした。nチャンネル型TFTにおけるLDD領域の長さをこのようにすることにより、ドレイン領域近傍に発生する高電界を緩和して、ホットキャリアの発生を防ぎ、TFTの劣化を防止することができる。駆動回路の第2のpチャンネル型TFT202は同様に、島状半導体膜117にチャンネル形成領域213、高濃度p型不純物領域から成るソース領域214a、214

b、ドレイン領域 215a、215b を有したシングルドレインの構造を有している。第 2 の n チャンネル型 TFT 203 には、島状半導体膜 118 にチャンネル形成領域 216、LDD 領域 217b、218b、ソース領域 220、ドレイン領域 219 が形成されている。この TFT の LDD の長さも 1.0 ~ 4.0  $\mu\text{m}$  として形成した。画素 TFT 204 には、島状半導体膜 119 にチャンネル形成領域 221、222、LDD 領域 223 ~ 225、ソースまたはドレイン領域 226 ~ 228 を有している。LDD 領域のチャンネル長方向の長さは 0.5 ~ 4.0  $\mu\text{m}$ 、好ましくは 1.5 ~ 2.5  $\mu\text{m}$  である。さらに、容量配線 133 と、ゲート絶縁膜と同じ材料から成る絶縁膜と、画素 TFT 204 のドレイン領域 228 に接続する半導体層 229 とから保持容量 205 が形成されている。

【0090】本実施例の工程においても実施例 2 で説明した TFT の構成を採用することができる。そして、本実施例で作製したアクティブマトリクス基板からは、反射型の液晶表示装置を作製することができる。

【0091】〔実施例 4〕実施例 1 で作製したアクティブマトリクス基板はそのまま反射型の液晶表示装置に適用することができる。一方、透過型の液晶表示装置とする場合には画素部の各画素に設ける画素電極を透明電極で形成すれば良い。本実施例では透過型の液晶表示装置に対応するアクティブマトリクス基板の作製方法について図 16 を用いて説明する。

【0092】アクティブマトリクス基板は実施例 1 と同様に作製する。図 16 (A) では、ソース配線とドレイン配線は導電性の金属膜をスパッタ法や真空蒸着法で形成する。これは、Ti 膜を 50 ~ 150 nm の厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、その Ti 膜上に重ねてアルミニウム (Al) を 300 ~ 400 nm の厚さで形成し、さらに Ti 膜または窒化チタン (TiN) 膜を 100 ~ 200 nm の厚さで形成して 3 層構造とした。その後、透明導電膜を全面に形成し、フォトリソ法を用いたパターニング処理およびエッチング処理により画素電極 171 を形成する。画素電極 164 は、層間絶縁膜 151 上に形成され、画素 TFT 204 のドレイン配線 163 と重なる部分を設け、接続構造を形成している。

【0093】図 16 (B) では最初に層間絶縁膜 151 上に透明導電膜を形成し、パターニング処理およびエッチング処理をして画素電極 166 を形成した後、ドレイン配線 165 を画素電極 166 と重なる部分を設けて形成した例である。ドレイン配線 165 は Ti 膜を 50 ~ 150 nm の厚さで形成し、島状半導体層のソースまたはドレイン領域を形成する半導体膜とコンタクトを形成し、その Ti 膜上に重ねてアルミニウム (Al) を 300 ~ 400 nm の厚さで形成して設ける。この構成にすると、画素電極 166 はドレイン配線 165 を形成する T

i 膜のみと接触することになる。その結果、図 16

(A) の構成と比較して透明導電膜材料と Al とが反応するのを確実に防止できる。

【0094】透明導電膜の材料は、酸化インジウム ( $\text{In}_2\text{O}_3$ ) や酸化インジウム酸化スズ合金 ( $\text{In}_2\text{O}_3-\text{SnO}_2$ ; ITO) などをスパッタ法や真空蒸着法などを用いて形成して用いることができる。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ( $\text{In}_2\text{O}_3-\text{ZnO}$ ) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO に対して熱安定性にも優れているので、図 16 (A) の構造におけるドレイン配線 163 の端面で接触する Al との腐蝕反応を防止できる。同様に、酸化亜鉛 ( $\text{ZnO}$ ) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 ( $\text{ZnO}:\text{Ga}$ ) などを用いることができる。

【0095】このようにして、透過型の液晶表示装置に対応したアクティブマトリクス基板を完成させることができる。本実施例では、実施例 1 と同様な工程として説明したが、このような構成は実施例 2 や実施例 3 で示すアクティブマトリクス基板に適用することができる。

【0096】〔実施例 5〕非晶質構造を有する島状半導体層から本発明に関わるデュアルビームレーザーアニール法で結晶構造を有する島状半導体層を作製する方法において、実施形態 2 または実施形態 3 の方法により作製された結晶構造を有する島状半導体層には、該島状半導体層中には微量 ( $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  程度) の触媒元素が残留する。勿論、そのような状態でも TFT を完成させることが可能であるが、残留する触媒元素を少なくともチャンネル形成領域から除去する方がより好ましかった。この触媒元素を除去する手段の一つにリン (P) によるゲッタリング作用を利用する手段がある。

【0097】この目的におけるリン (P) によるゲッタリング処理は、図 10 (B) で説明した活性化工程で同時に行うことができる。この様子を図 17 で説明する。ゲッタリングに必要なリン (P) の濃度は高濃度 n 型不純物領域の不純物濃度と同程度でよく、活性化工程の熱アニールにより、n チャンネル型 TFT および p チャンネル型 TFT のチャンネル形成領域から触媒元素をその濃度でリン (P) を含有する不純物領域へ偏析させることができる (図 17 で示す矢印の方向)。その結果その不純物領域には触媒元素が偏析し、その濃度は  $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$  程度となった。このようにして作製した TFT はオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0098】〔実施例 6〕本実施例では実施例 1 で作製

したアクティブマトリクス基板から、アクティブマトリクス型液晶表示装置を作製する工程を説明する。まず、図 18 (A) に示すように、図 10 (C) の状態のアクティブマトリクス基板に柱状スペーサ 168 から成るスペーサを形成する。スペーサは数  $\mu\text{m}$  の粒子を散布して設ける方法でも良いが、ここでは基板全面に樹脂膜を形成した後これをパターニングして形成する方法を採用した。このようなスペーサの材料に限定はないが、例えば、J S R 社製の NN700 を用い、スピナーで塗布した後、露光と現像処理によって所定のパターンに形成する。さらにクリーンオープンなどで  $150 \sim 200^\circ\text{C}$  で加熱して硬化させる。このようにして作製されるスペーサは露光と現像処理の条件によって形状を異ならせることができるが、好ましくは、柱状スペーサ 168 の形状は柱状で頂部が平坦な形状となるようにすると、対向側の基板を合わせたときに液晶表示パネルとしての機械的な強度を確保することができる。形状は円錐状、角錐状など特別の限定はないが、例えば円錐状としたときに具体的には、高さ  $H$  を  $1.2 \sim 5 \mu\text{m}$  とし、平均半径  $L_1$  を  $5 \sim 7 \mu\text{m}$ 、平均半径  $L_1$  と底部の半径  $L_2$  との比を 1 対 1.5 とする。このとき側面のテーパ角は  $\pm 15^\circ$  以下とする。

【0099】柱状スペーサの配置は任意に決定すれば良いが、好ましくは、図 18 (A) で示すように、画素部においてはドレイン配線 161 (画素電極) のコンタクト部 235 と重ねてその部分を覆うように柱状スペーサ 168 を形成すると良い。コンタクト部 235 は平坦性が損なわれこの部分では液晶がうまく配向しなくなるので、このようにしてコンタクト部 235 にスペーサ用の樹脂を充填する形で柱状スペーサ 168 を形成することでディスクリネーションなどを防止することができる。

【0100】その後、配向膜 169 を形成する。通常液晶表示素子の配向膜にはポリイミド樹脂を用いる。配向膜を形成した後、ラビング処理を施して液晶分子がある一定のプレチルト角を持って配向するようにした。画素部に設けた柱状スペーサ 168 の端部からラビング方向に対してラビングされない領域が  $2 \mu\text{m}$  以下となるようにした。また、ラビング処理では静電気の発生がしばしば問題となるが、駆動回路の TFT 上であって、少なくともソース配線およびドレイン配線上にもスペーサ 167a $\sim$ 167e を形成しておくこと、ラビング工程におけるスペーサとしての本来の役割と、静電気から TFT を保護する効果を得ることができる。

【0101】対向側の対向基板 170 には、遮光膜 171、透明導電膜 172 および配向膜 173 を形成する。遮光膜 171 は Ti、Cr、Al などを  $150 \sim 300 \text{ nm}$  の厚さで形成する。そして、画素部と駆動回路が形成されたアクティブマトリクス基板と対向基板とをシール剤 174 で貼り合わせる。シール剤 174 にはフィラー 175 が混入されていて、このフィラー 175 とスペー

サ 167、168 によって均一な間隔を持って 2 枚の基板が貼り合わせられる。その後、両基板の間に液晶材料 176 を注入し、封止剤 (図示せず) によって完全に封止する。液晶材料には公知の液晶材料を用いれば良い。例えば、TN 液晶の他に、電場に対して透過率が連続的に変化する電気光学応答性を示す、無しきい値反強誘電性混合液晶を用いることもできる。この無しきい値反強誘電性混合液晶には、V 字型の電気光学応答特性を示すものもある。このようにして図 18 (B) に示すアクティブマトリクス型液晶表示装置が完成する。

【0102】図 18 ではスペーサ 167 を駆動回路の TFT 上の少なくともソース配線およびドレイン配線上にもスペーサ 167a $\sim$ 167e に分割して形成したが、その他に、駆動回路の全面を覆って形成しても差し支えない。

【0103】図 19 はアクティブマトリクス基板の上面図を示し、画素部および駆動回路部とスペーサおよびシール剤の位置関係を示す上面図である。画素部 700 の周辺に駆動回路として走査信号駆動回路 701 と画像信号駆動回路 702 が設けられている。さらに、その他 CPU やメモリーなどの信号処理回路 703 も付加されていても良い。そして、これらの駆動回路は接続配線 711 によって外部入出力端子 710 と接続されている。画素部 700 では走査信号駆動回路 701 から延在するゲート配線群 704 と画像信号駆動回路 702 から延在するソース配線群 705 がマトリクス状に交差して画素を形成し、各画素にはそれぞれ画素 TFT 204 と保持容量 205 が設けられている。

【0104】画素部において設けられる柱状スペーサ 706 は、図 18 で示した柱状スペーサ 168 に対応するもので、すべての画素に対して設けても良いが、マトリクス状に配列した画素の数個から数十個おきに設けても良い。即ち、画素部を構成する画素の全数に対するスペーサの数の割合は  $20 \sim 100\%$  とすると良い。また、駆動回路部に設けるスペーサ 707、708、709 はその全面を覆うように設けても良いし、図 18 で示したように各 TFT のソースおよびドレイン配線の位置にあわせて複数個に分割して設けても良い。

【0105】シール剤 174 は、基板 101 上の画素部 700 および走査信号制御回路 701、画像信号制御回路 702、その他の信号処理回路 703 の外側であって、外部入出力端子 710 よりも内側に形成する。

【0106】このようなアクティブマトリクス型液晶表示装置の構成を図 20 の斜視図を用いて説明する。図 20 においてアクティブマトリクス基板は、ガラス基板 101 上に形成された、画素部 700 と、走査信号駆動回路 701 と、画像信号駆動回路 702 とその他の信号処理回路 703 とで構成される。画素部 700 には画素 TFT 204 と保持容量 205 が設けられ、画素部の周辺に設けられる駆動回路は CMOS 回路を基本として構成

されている。走査信号駆動回路 701 と、画像信号駆動回路 702 はそれぞれゲート配線 132 とソース配線 156 で画素 TFT 204 に接続している。また、フレキシブルプリント配線板 (Flexible Printed Circuit: FPC) 713 が外部入力端子 710 に接続していて画像信号などを入力するのに用いる。フレキシブルプリント配線板 713 は補強樹脂 712 で接着強度を高めて固定されている。そして接続配線 711 でそれぞれの駆動回路に接続している。また、対向基板 175 には図示していないが、遮光膜や透明電極が設けられている。

【0107】このような構成の液晶表示装置は、実施例 1~5 で示したアクティブマトリクス基板を用いて形成することができる。例えば、実施例 1~3 で示すアクティブマトリクス基板を用いれば反射型の液晶表示装置が得られ、実施例 4 で示すアクティブマトリクス基板を用いると透過型の液晶表示装置を得ることができる。

【0108】〔実施例 7〕本実施例では、本発明をアクティブマトリクス型有機エレクトロルミネッセンス (有機 EL) 材料を用いた表示装置 (有機 EL 表示装置) に適用した例を図 22 で説明する。図 21 (A) はガラス基板上に表示領域とその周辺に駆動回路を設けたアクティブマトリクス型有機 EL 表示装置の回路図を示す。この有機 EL 表示装置は、基板上に設けられた表示領域 11、X 方向周辺駆動回路 12、Y 方向周辺駆動回路 13 から成る。この表示領域 11 は、スイッチ用 TFT 30、保持容量 32、電流制御用 TFT 31、有機 EL 素子 33、X 方向信号線 18a、18b、電源線 19a、19b、Y 方向信号線 20a、20b、20c などにより構成される。

【0109】図 21 (B) はほぼ一画素分の上面図を示している。スイッチ用 TFT 30 は図 10 (C) に示す n チャネル型 TFT 204 と同様にして形成し、電流制御用 TFT 31 は p チャネル型 TFT 200 と同様にして形成すると良い。

【0110】図 22 は図 21 (B) における B-B' 断面図であり、スイッチ用 TFT 30、保持容量 32、電流制御用 TFT 31 および有機 EL 素子部の断面図を示している。図 22 において、島状半導体層 43、44 は実施形態 1~4 の方法で作製する。そして、基板 40 上に下地膜 41、42、ゲート絶縁膜 45、保護絶縁膜 46、ゲート電極 47、48、容量配線 49、ソースおよびドレイン配線 18a、19a、51、52、層間絶縁膜 50 は実施例 1 と同様にして作製する。そして、その上に層間絶縁膜 50 と同様にして、第 2 の層間絶縁膜 53 を形成し、さらにドレイン配線 52 に達するコンタクトホールを形成した後、透明導電膜から成る画素電極 54 を形成する。有機 EL 素子部は、この画素電極 54 とその画素電極上と第 2 の層間絶縁膜 53 上に渡って形成された有機 EL 層 55 と、その上に形成された MgAg 化合物からなる第 1 の電極 56、Al から成る第 2 の電

極 57 により形成されている。そして、図示しないがカラーフィルターを設ければカラー表示をすることも可能である。いずれにしても、実施例 1~5 で示したアクティブマトリクス基板の作製方法を応用すれば容易にアクティブマトリクス型有機 EL 表示装置を作製することができる。

【0111】〔実施例 8〕本発明を実施して作製されたアクティブマトリクス基板および液晶表示装置並びに EL 型表示装置は様々な電気光学装置に用いることができる。そして、そのような電気光学装置を表示媒体として組み込んだ電子機器全てに本発明を適用することができる。電子機器としては、パーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯情報端末 (モバイルコンピュータ、携帯電話、電子書籍など)、ナビゲーションシステムなどが上げられる。

【0112】図 23 (A) は携帯情報端末であり、本体 2201、画像入力部 2202、受像部 2203、操作スイッチ 2204、表示装置 2205 で構成される。本発明は表示装置 2205 やその他の信号制御回路に適用することができる。

【0113】このような携帯型情報端末は、屋内はもとより屋外で使用されることも多い。長時間の使用を可能とするためにはバックライト使用せず、外光を利用する反射型の液晶表示装置が低消費電力型として適しているが、周囲が暗い場合にはバックライトを設けた透過型の液晶表示装置が適している。このような背景から反射型と透過型の両方の特徴を兼ね備えたハイブリット型の液晶表示装置が開発されているが、本発明はこのようなハイブリット型の液晶表示装置にも適用できる。表示装置 2205 はタッチパネル 3002、液晶表示装置 3003、LED バックライト 3004 により構成されている。タッチパネル 3002 は携帯型情報端末の操作を簡便にするために設けている。タッチパネル 3002 の構成は、一端に LED などの発光素子 3100 を、他の一端にフォトダイオードなどの受光素子 3200 が設けられ、その両者の間に光路が形成されている。このタッチパネル 3002 を押して光路を遮ると受光素子 3200 の出力が変化するので、この原理を用いて発光素子と受光素子を液晶表示装置上でマトリクス状に配置させることにより、入力媒体として機能させることができる。

【0114】図 23 (B) はハイブリット型の液晶表示装置の画素部の構成であり、画素 TFT 204 および保持容量 205 上の層間絶縁膜上にドレイン配線 177 と画素電極 178 が設けられている。このような構成は、実施例 4 を適用すれば形成することができる。ドレイン配線は Ti 膜と Al 膜の積層構造として画素電極を兼ねる構成としている。画素電極 177 は実施例 4 で説明した透明導電膜材料を用いて形成する。液晶表示装置 3003 をこのようなアクティブマトリクス基板から作製することで携帯型情報端末に好適に用いることができる。

【0115】図24(A)はパーソナルコンピュータであり、マイクロプロセッサやメモリーなどを備えた本体2001、画像入力部2002、表示装置2003、キーボード2004で構成される。本発明は表示装置2003やその他の信号処理回路を形成することができる。

【0116】図24(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明は表示装置2102やその他の信号制御回路に適用することができる。

【0117】図24(C)はゴーグル型ディスプレイであり、本体2901、表示装置2902、アーム部2903から成っている。本発明は表示装置2902やその他図示されていない信号制御回路に適用することができる。

【0118】図24(D)はテレビゲームまたはビデオゲームなどの電子遊技機器であり、CPU等の電子回路2308、記録媒体2304などが搭載された本体2301、コントローラ2305、表示装置2303、本体2301に組み込まれた表示装置2302で構成される。表示装置2303と本体2301に組み込まれた表示装置2302とは、同じ情報を表示しても良いし、前者を主表示装置とし、後者を副表示装置として記録媒体2304の情報を表示したり、機器の動作状態を表示したり、或いはタッチセンサーの機能を付加して操作盤とすることもできる。また、本体2301とコントローラ2305と表示装置2303とは、相互に信号を伝達するために有線通信としても良いし、センサ部2306、2307を設けて無線通信または光通信としても良い。本発明は、表示装置2302、2303に適用することができる。表示装置2303は従来のCRTを用いることもできる。

【0119】図24(E)はプログラムを記録した記録媒体(以下、記録媒体と呼ぶ)を用いるプレーヤーであり、本体2401、表示装置2402、スピーカー部2403、記録媒体2404、操作スイッチ2405で構成される。尚、記録媒体にはDVD(Digital Versatile Disc)やコンパクトディスク(CD)などを用い、音楽プログラムの再生や映像表示、ビデオゲーム(またはテレビゲーム)やインターネットを介した情報表示などを行うことができる。本発明は表示装置2402やその他の信号制御回路に好適に利用することができる。

【0120】図24(F)はデジタルカメラであり、本体2501、表示装置2502、接眼部2503、操作スイッチ2504、受像部(図示しない)で構成される。本発明は表示装置2502やその他の信号制御回路に適用することができる。

【0121】図25(A)はフロント型プロジェクターであり、光源光学系および表示装置2601、スクリーン2602で構成される。本発明は表示装置やその他の

信号制御回路に適用することができる。図25(B)はリア型プロジェクターであり、本体2701、光源光学系および表示装置2702、ミラー2703、スクリーン2704で構成される。本発明は表示装置やその他の信号制御回路に適用することができる。

【0122】なお、図25(C)に、図25(A)および図25(B)における光源光学系および表示装置2601、2702の構造の一例を示す。光源光学系および表示装置2601、2702は光源光学系2801、ミラー2802、2804~2806、ダイクロイックミラー2803、ビームスプリッター2807、液晶表示装置2808、位相差板2809、投射光学系2810で構成される。投射光学系2810は複数の光学レンズで構成される。図25(C)では液晶表示装置2808を三つ使用する三板式の例を示したが、このような方式に限定されず、単板式の光学系で構成しても良い。また、図25(C)中で矢印で示した光路には適宜光学レンズや偏光機能を有するフィルムや位相を調節するためのフィルムや、IRフィルムなどを設けても良い。また、図25(D)は図25(C)における光源光学系2801の構造の一例を示した図である。本実施例では、光源光学系2801はリフレクター2811、光源2812、レンズアレイ2813、2814、偏光変換素子2815、集光レンズ2816で構成される。尚、図25(D)に示した光源光学系は一例であって図示した構成に限定されるものではない。

【0123】また、ここでは図示しなかったが、本発明はその他にも、ナビゲーションシステムやイメージセンサーの読み取り回路などに適用することも可能である。このように本願発明の適用範囲はきわめて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1~5の技術を用いて実現することができる。

【0124】[実施例9]図27は非晶質シリコンから成る島状半導体層をレーザーアニール法により結晶化させた試料の走査型電子顕微鏡写真を示している。図27

(A)は島状半導体層の表側からレーザー光を照射した試料であり、図27(B)は表側と裏側の両面から照射した試料の写真を示している。試料表面はセコ液(主成分(体積比)HF:H<sub>2</sub>O=67:33、添加剤K<sub>2</sub>Cr<sub>2</sub>O<sub>7</sub>)で表面をエッチング処理してある。このエッチング処理は、結晶粒と結晶粒界のエッチング速度の差を利用したもので、結晶粒を顕在化させるために行った。

【0125】レーザーアニール条件は、波長308nmのエキシマレーザー光を用い、光強度370mJ/cm<sup>2</sup>、繰返し周波数30Hzで20回同じ場所を照射した。両面からレーザー光を照射するデュアルレーザーアニール法では、島状半導体層の裏側、即ちガラス基板の下方にA1の反射板を設けた。この反射板はミラーポリッシュされたシリコンウエハーの表面にスパッタ法でA1膜を形成

したものを用いた。

【0126】平均粒径は図27(A)において0.05~0.2 $\mu\text{m}$ であり、図27(B)では0.3~1.5 $\mu\text{m}$ である。明らかに後者の方が粒径が大きく、デュアルビームレーザーアニール法の優位性を確認することができる。

【0127】

【発明の効果】本発明を用いて、島状のパターンに形成された非晶質半導体領域を結晶化させることにより、結晶粒の大型化を図ることができる。このような島状半導体層を用いて、画素TFTおよび駆動回路が要求する仕様に依じて各回路を構成するTFTの構造を最適化することにより、半導体装置の動作性能と信頼性を向上させることを可能としている。

【図面の簡単な説明】

【図1】 本発明に関わるレーザーアニール法の概念を説明する図。

【図2】 レーザーアニール装置の光学系の構成を説明する図。

【図3】 レーザーアニール装置の光学系の構成を説明する図。

【図4】 本発明の島状半導体層の作製工程を説明する図。

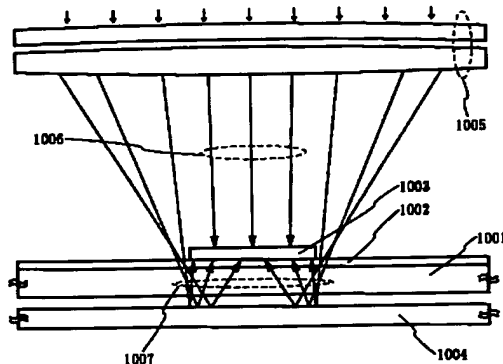
【図5】 本発明の島状半導体層の作製工程を説明する図。

【図6】 本発明の島状半導体層の作製工程を説明する図。

【図7】 本発明の島状半導体層の作製工程を説明する図。

【図8】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図1】



【図9】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図10】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図11】 駆動回路のTFTの作製工程を示す上面図。

【図12】 画素TFTの作製工程を示す上面図。

【図13】 画素部の画素を示す上面図。

【図14】 TFTの構造を説明する上面図。

【図15】 画素TFT、駆動回路のTFTの構成を示す断面図。

【図16】 画素TFT、駆動回路のTFTの構成を示す断面図。

【図17】 画素TFT、駆動回路のTFTの作製工程を示す断面図。

【図18】 アクティブマトリクス型液晶表示装置の作製工程を示す断面図。

【図19】 液晶表示装置の入出力端子、配線、回路配置、スペーサ、シール剤の配置を説明する上面図。

【図20】 液晶表示装置の構造を示す斜視図。

【図21】 アクティブマトリクス型EL表示装置の構成を示す図。

【図22】 アクティブマトリクス型EL表示装置の画素部の構成を示す断面図。

【図23】 半導体装置の一例を示す図。

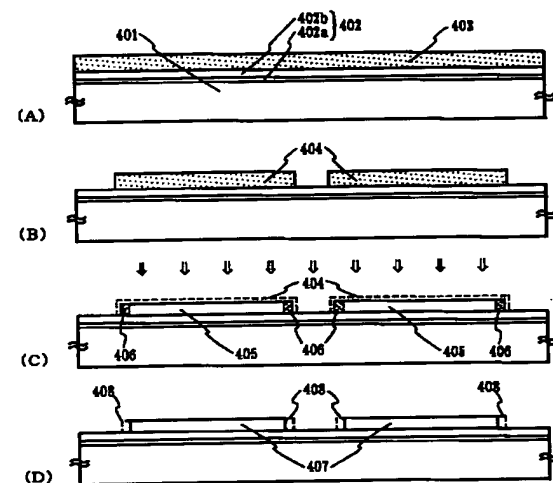
【図24】 半導体装置の一例を示す図。

【図25】 投影型液晶表示装置の構成を示す図。

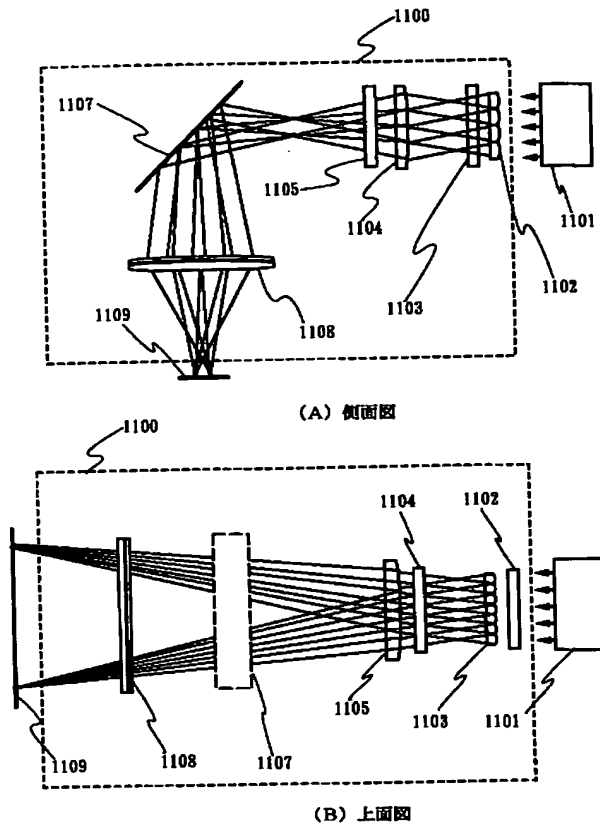
【図26】 シリコン層の深さ方向におけるレーザー光強度分布のシミュレーション結果を示すグラフ。

【図27】 レーザーアニール法で結晶化したシリコン膜の電子顕微鏡写真。

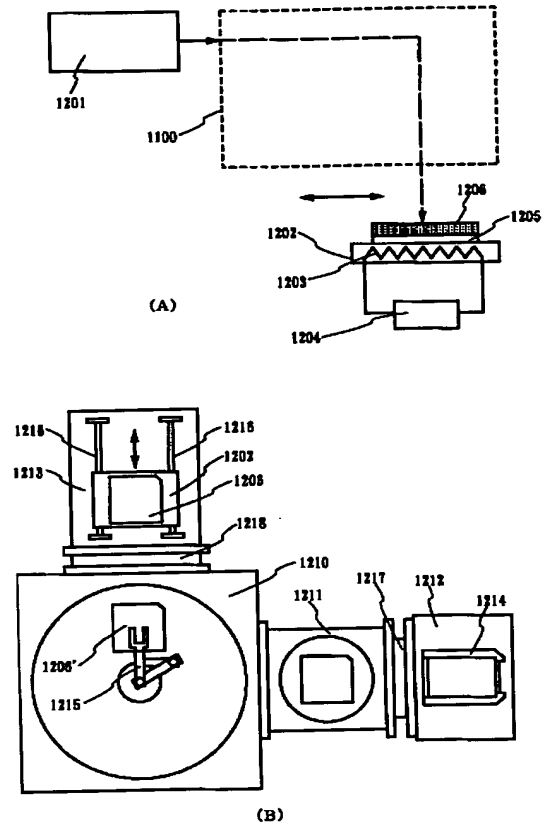
【図4】



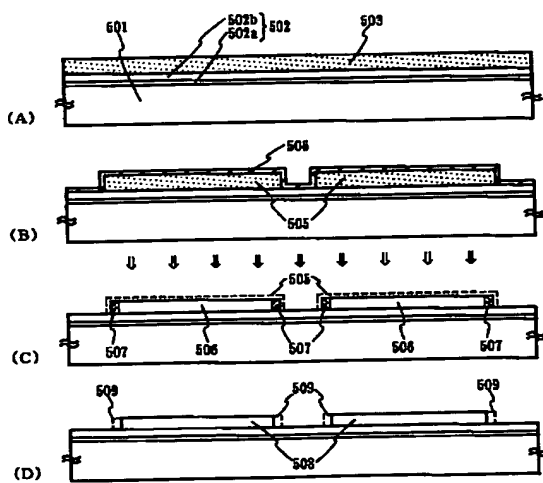
【図 2】



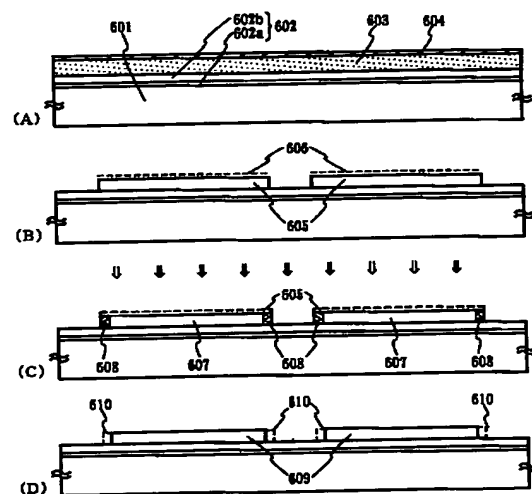
【図 3】



【図 5】

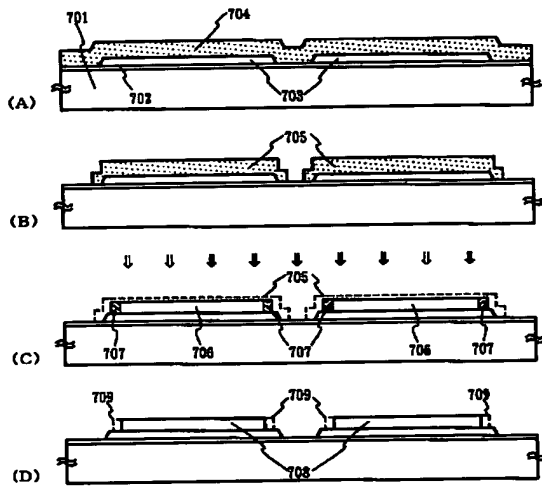


【図 6】

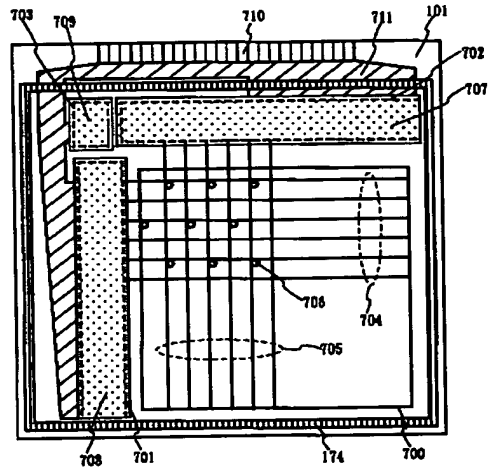




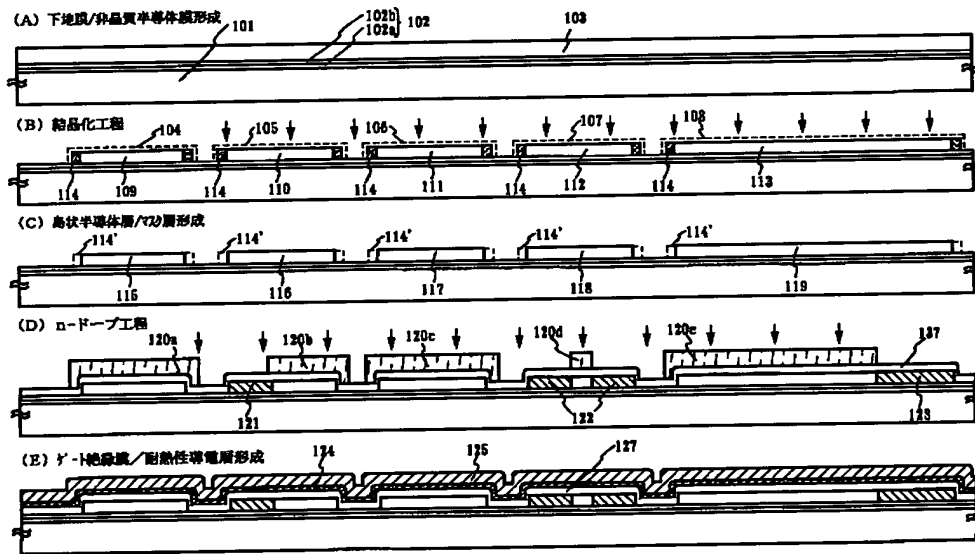
【図7】



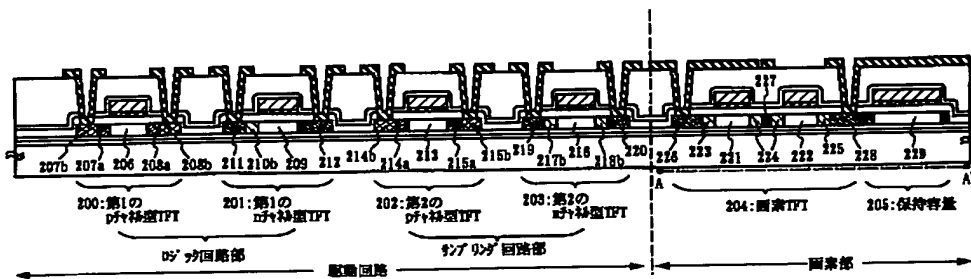
【図19】



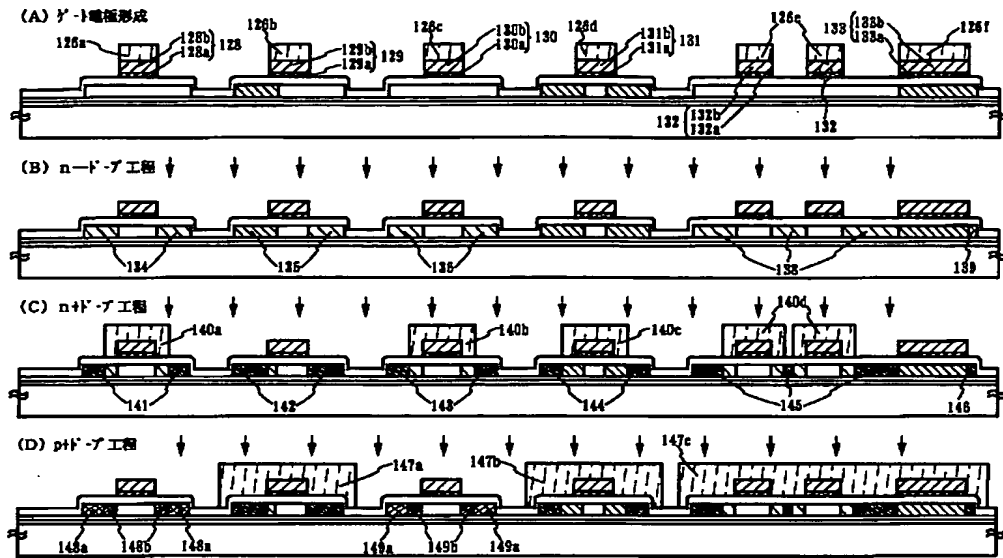
【図8】



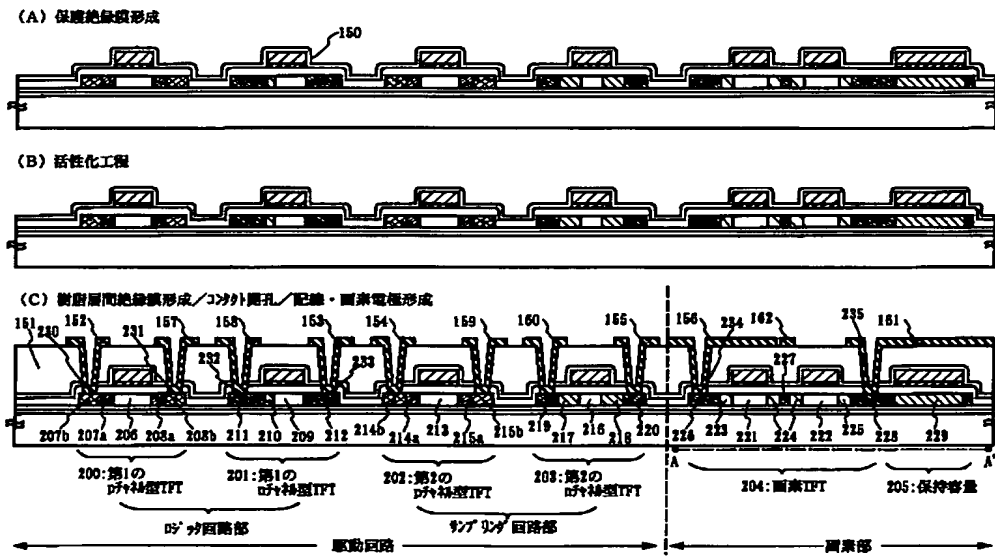
【図15】



【図 9】



【図 10】

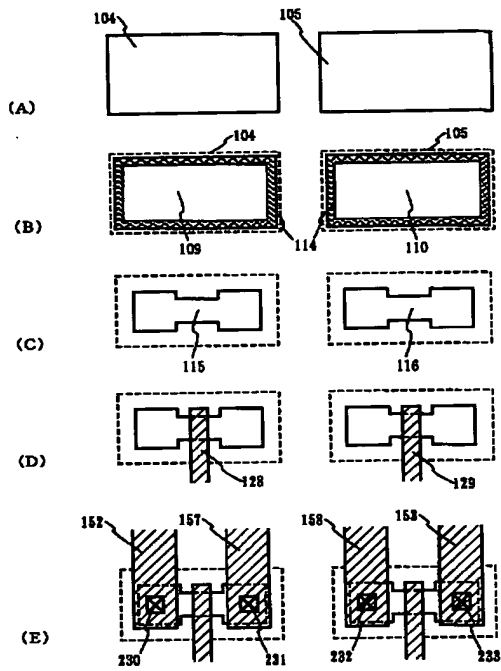


【図 17】

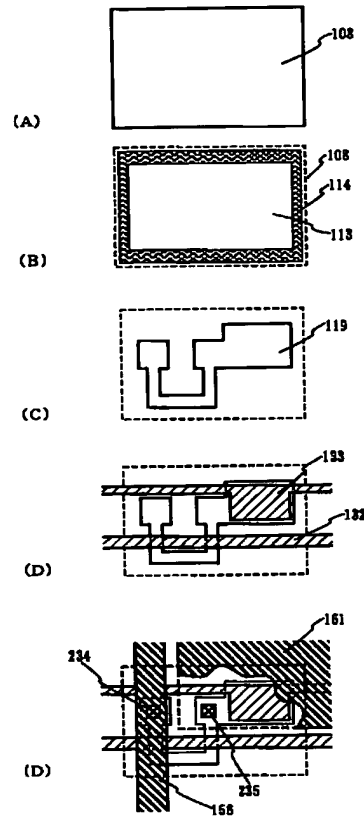
活性化工程



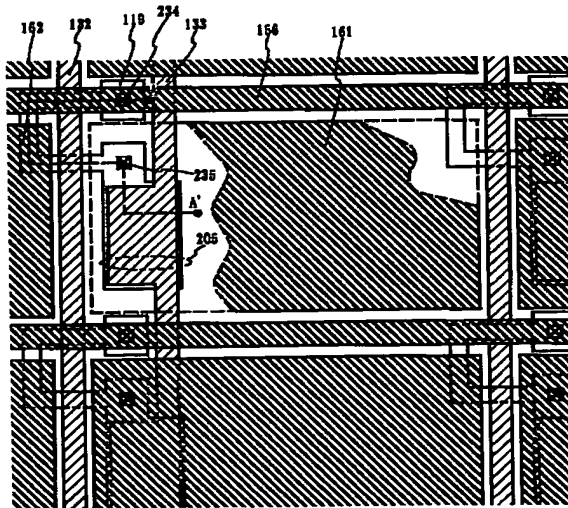
【图 1 1】



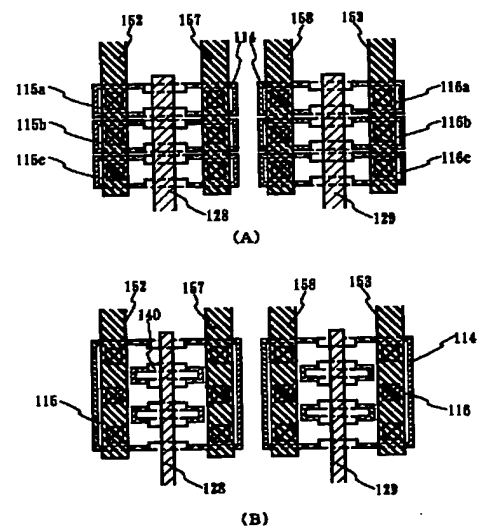
【図 12】



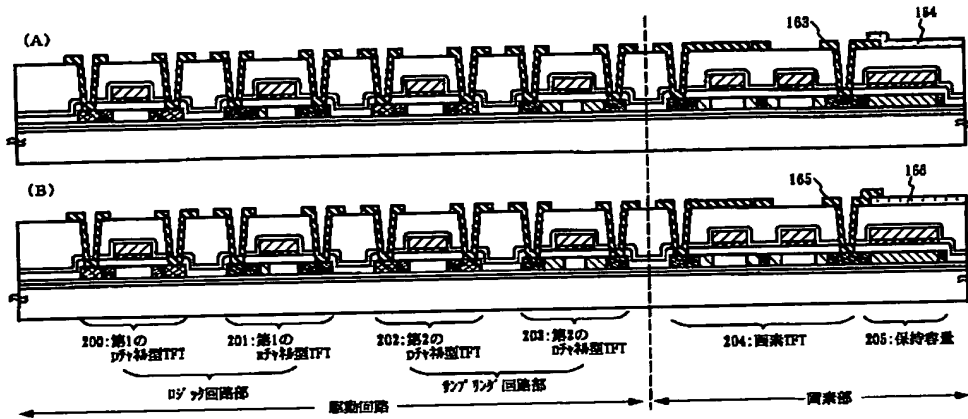
【图 1 3】



【図 14】

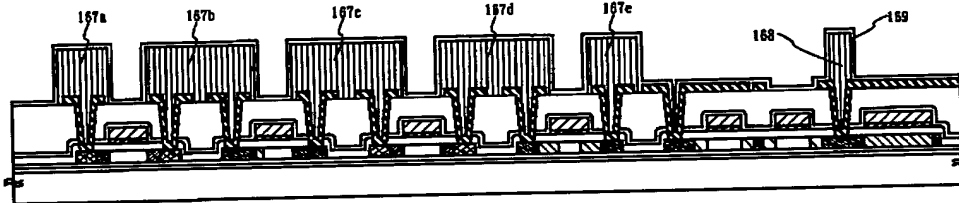


【図 16】

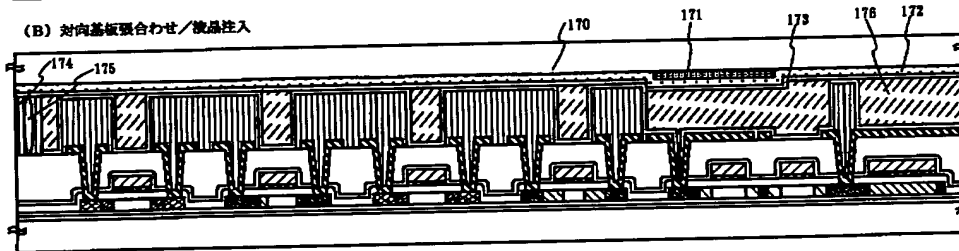


【図 18】

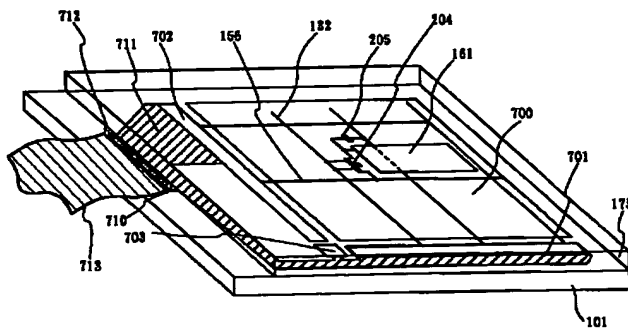
(A) 配向膜形成/スパッタ形成/レジスタ処理



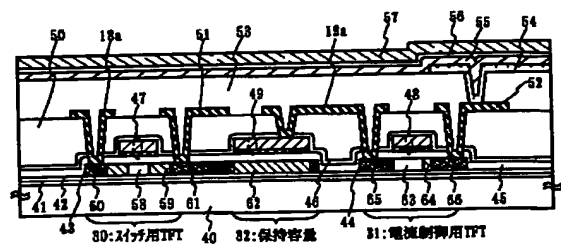
(B) 対向基板装合わせ/液晶注入



【図 20】

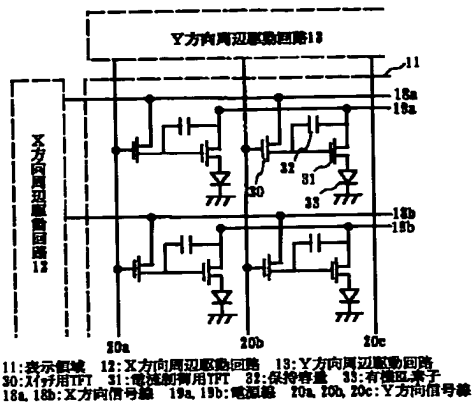


【図 22】

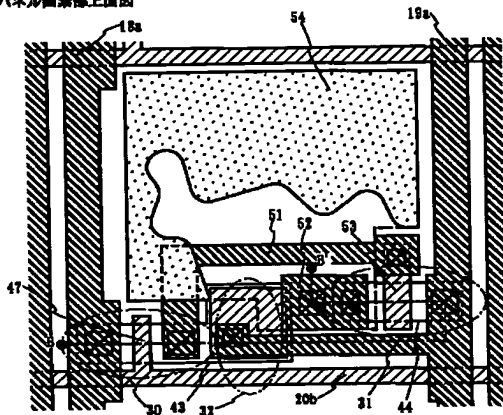


【図 21】

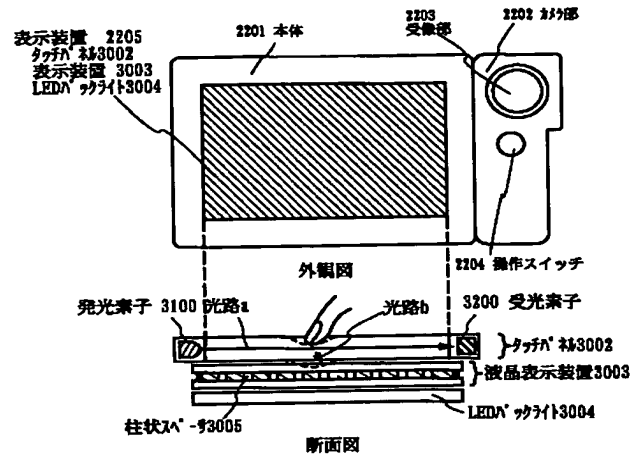
(A) ELパネル回路図



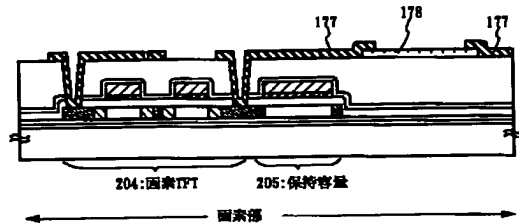
(B) ELパネル画素部上面図



【図 23】

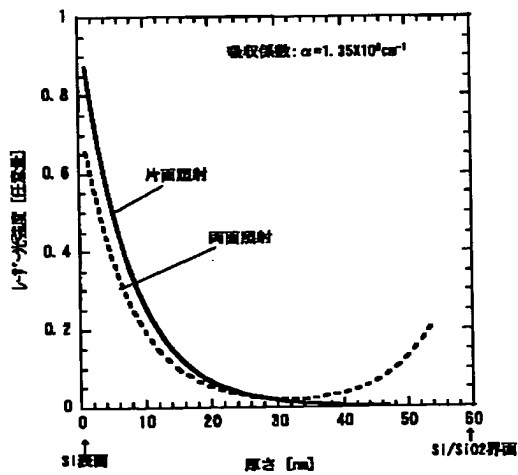


(A) 携帯情報端末機器 (光学式タッチパネル) の外観図および断面図

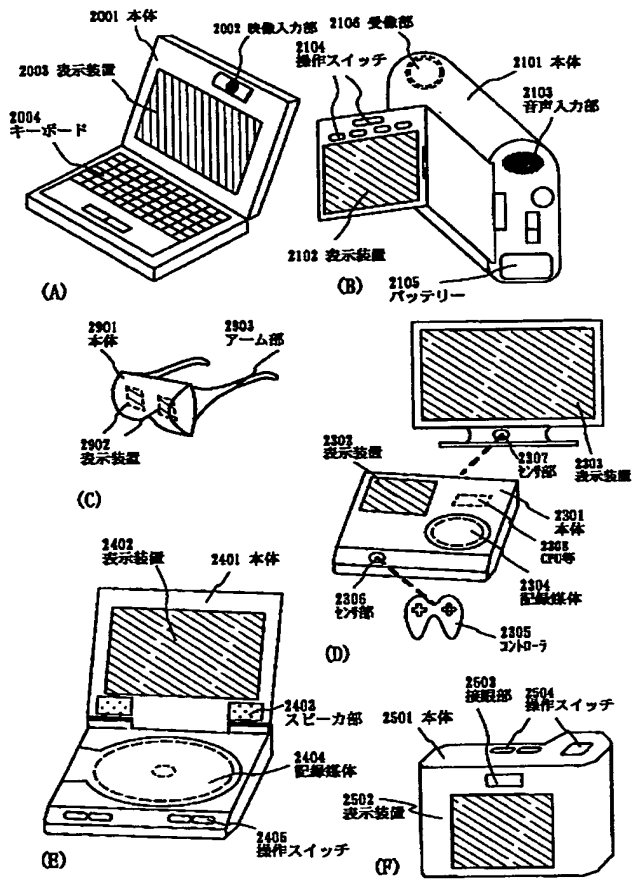


(B) 画素部断面図

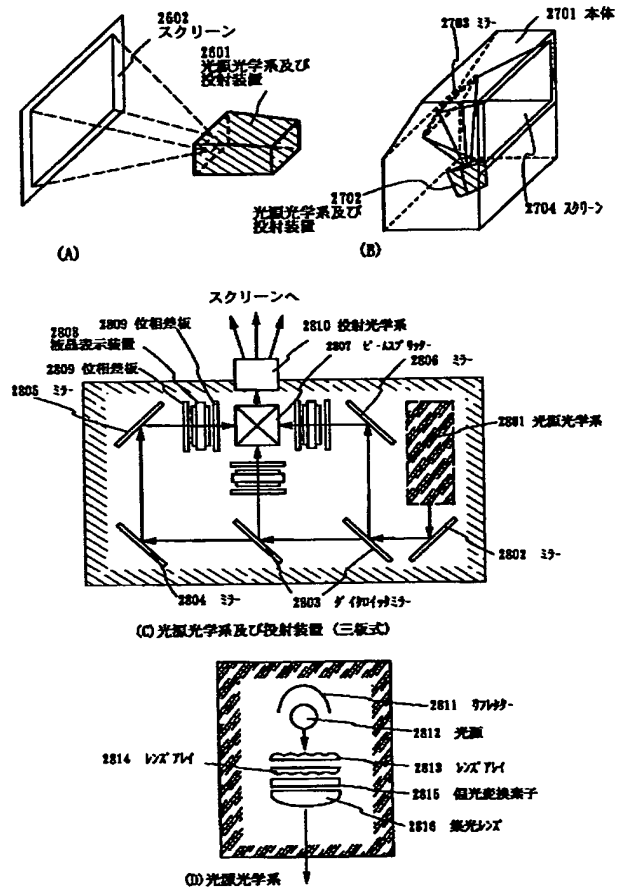
【図 26】



【図 24】



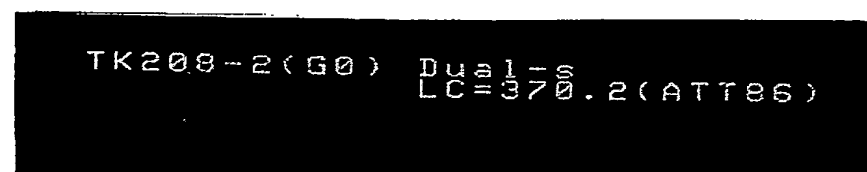
【図 25】



【図 27】



(A)




---

フロントページの続き

(51) Int. Cl.<sup>7</sup>

H01L 21/268

識別記号

FI

G02F 1/136

H01L 29/78

テームコード (参考)

500

618G

627C